

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-210119

(43)公開日 平成7年(1995)8月11日

(51)Int.Cl. <sup>9</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/36				
G 0 2 F 1/133	5 5 0			
	5 7 5			

審査請求 未請求 請求項の数11 O L (全 20 頁)

(21)出願番号	特願平6-6418	(71)出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中1015番地
(22)出願日	平成6年(1994)1月25日	(72)発明者	藤田 昌也 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
		(72)発明者	岡崎 晋 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
		(72)発明者	三輪 裕一 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
		(74)代理人	弁理士 石田 敬 (外3名)

最終頁に続く

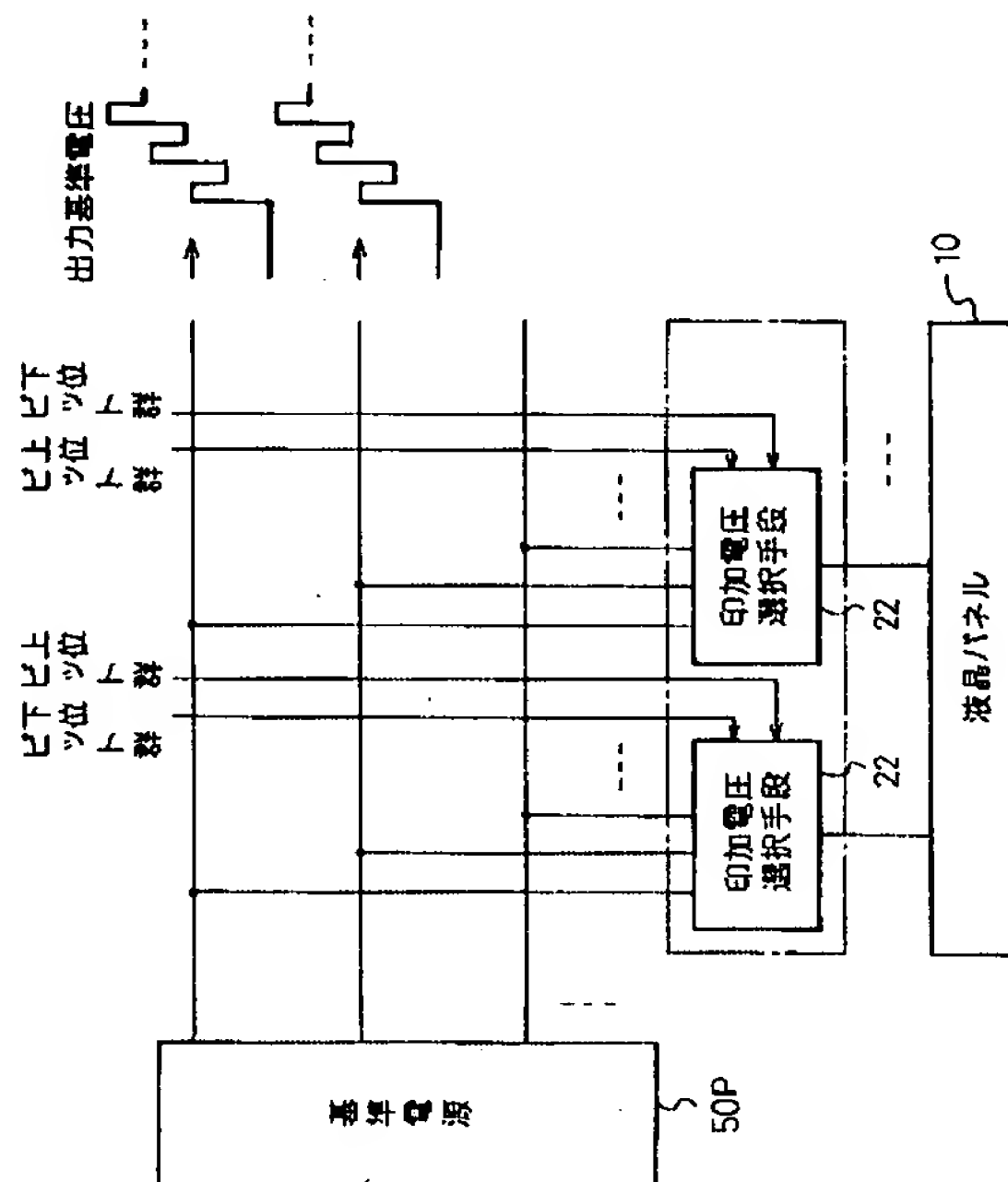
(54)【発明の名称】 多階調アクティブ駆動型液晶表示装置のデータライン駆動回路

(57)【要約】

【目的】 本発明は、多階調表示のアクティブ駆動型液晶表示装置のデータライン駆動回路に関し、階調数の多い装置において表示を高精度に行う。

【構成】 画像データの上位ビット群に対応した複数種類の固定電圧に下位ビット群に対応した電圧を付加した階段波状基準電圧を順次生成する基準電源回路50Pと、上位ビット群に対応した基準電圧がデータラインに印加されるように選択すると共に下位ビット群に対応した電圧が付加された時点で基準電圧のデータラインへの印加を停止する印加電圧選択手段22とを備える液晶表示装置のデータライン駆動回路において、基準電源回路50Pは階段波の各段階において、初期部分では大きく残り部分で下位ビット群に対応した電圧を付加した電圧になるように変化する基準電圧を各種類毎に発生させる。

本発明の原理構成図



## 1

## 【特許請求の範囲】

【請求項1】 多階調アクティブ駆動型液晶表示装置のデータライン駆動回路であって、画像データの上位ビット群に対応した複数種類の固定電圧のそれぞれに該画像データの下位ビット群に対応した電圧を付加した階段波状に変化する複数種類の基準電圧を順次生成する基準電源回路（50P）と、前記画像データの上位ビット群に対応した基準電圧が前記データラインに印加されるように選択すると共に前記画像データの下位ビット群に対応した電圧が付加された時点で基準電圧のデータラインへの印加を停止する印加電圧選択手段（22）とを備え、印加停止時点の基準電圧をデータラインの分布容量に画像データとして保持させることで階調制御を行う液晶表示装置のデータライン駆動回路において、

前記基準電源回路（50P）は、前記階段波状に変化する基準電圧の各段階において、初期部分では前記画像データの下位ビット群に対応した電圧を付加した電圧より変化量が大きくなる電圧を出力し、残り部分で前記画像データの下位ビット群に対応した電圧を付加した電圧になるように変化する基準電圧を各種類毎に発生させることを特徴とする多階調アクティブ駆動型液晶表示装置のデータライン駆動回路。

【請求項2】 前記基準電源回路（50P）は、画像データの上位ビット群に対応した複数種類の固定電圧を発生する並列固定基準電源（V）と、画像データの下位ビット群に対応し階段波状に変化する電圧を順次発生する階段波発生手段（S）と、前記階段波状の電圧の各段階の初期部分に対応してパルスを発生するパルス発生手段（P）と、それらを加算する加算手段（A）とを備えることを特徴とする請求項1に記載の多階調アクティブ駆動型液晶表示装置のデータライン駆動回路。

【請求項3】 前記基準電源回路は、複数の抵抗器が直列に接続された抵抗ストリング（R1A～R3A）と、該抵抗ストリングの一端に接続された定電流源（IG）と、階段波電圧発生手段（DAC）と、パルス発生手段（53）と、前記抵抗ストリングの他端に接続され前記階段波電圧発生手段の出力と前記パルス発生手段の出力を加算する加算手段（AD3）と、前記抵抗ストリングの各抵抗器の接続点の電位にそれぞれ応答して前記データラインに供給されるべき基準電圧をそれぞれ発生する複数のオペアンプ（OP1～OP4）とを備えることを特徴とする請求項1に記載の多階調アクティブ駆動型液晶表示装置のデータライン駆動回路。

【請求項4】 前記印加電圧選択手段は、データラインに共通に設けられた前記階段波状電圧の段階位置を計数するカウンタ（51）と、各データライン毎に設けられ、データの上位ビット群と下位ビット群をそれぞれ記憶する第1メモリ（61～64）と第2メモリ（71～74）と、前記第1メモリのデータをデコードするデコーダ（81A～84A）と、該デコーダの出力に応じて

## 2

前記複数種類の基準電圧を選択するセクタ（91～94）と、前記カウンタの計数値と前記第2メモリの記憶値を比較する比較器（C1～C4）と、該比較器の出力に応じて前記セクタとデータラインの接続を切り換えるアナログ・スイッチ（S1～S4）とを備え、前記比較器が一致を示した時の選択された基準電圧をデータラインの分布容量に画像データとして保持することを特徴とする請求項1乃至3のいずれかに記載の多階調アクティブ駆動型液晶表示装置のデータライン駆動回路。

10 【請求項5】 前記印加電圧選択手段は、データラインに共通に設けられた前記階段波状電圧の段階位置を計数するカウンタと、各データライン毎に設けられ、データの上位ビット群と下位ビット群をそれぞれ記憶する第1メモリと第2メモリと、前記カウンタの計数値と前記第2メモリの記憶値を比較する比較器と、前記第1メモリのデータをデコードするデコーダと、該デコーダの出力及び前記比較器の出力に応じて前記複数種類の基準電圧のいずれかを選択するか又はいずれも選択せずに非接続状態にするセクタと、前記カウンタの計数値と前記第2メモリの記憶値を比較する比較器とを備え、該比較器が一致を示した時に前記セクタを非接続状態にすることにより、選択された基準電圧をデータラインの分布容量に画像データとして保持することを特徴とする請求項1乃至3のいずれかに記載の多階調アクティブ駆動型液晶表示装置のデータライン駆動回路。

20 【請求項6】 前記印加電圧選択手段は、データラインに共通に設けられた前記階段波状電圧の段階に対応してアクティブ状態になる複数の信号を発生する基準時間発生器と、各データライン毎に設けられ、データの上位ビット群と下位ビット群をそれぞれ記憶する第1メモリと第2メモリと、前記第1メモリのデータをデコードするデコーダと、該デコーダの出力に応じて前記複数種類の基準電圧を選択する第1のセクタと、前記第2メモリの記憶値に従って前記基準時間発生器の出力を選択する第2のセクタと、該第2のセクタの出力に応じて前記セクタとデータラインの接続を切り換えるアナログ・スイッチとを備え、上位ビット群に対応して選択された基準電圧の前記アナログ・スイッチが切り離された時の電圧をデータラインの分布容量に画像データとして保持させることを特徴とする請求項1乃至3のいずれかに記載の多階調アクティブ駆動型液晶表示装置のデータライン駆動回路。

30 【請求項7】 前記印加電圧選択手段は、データラインに共通に設けられた前記階段波状電圧の段階に対応してアクティブ状態になる複数の信号を発生する基準時間発生器と、各データライン毎に設けられ、データの上位ビット群と下位ビット群をそれぞれ記憶する第1メモリと第2メモリと、前記第1メモリのデータをデコードするデコーダと、前記第2メモリの記憶値に従って前記基準時間発生器の出力を選択する第2のセクタと、前記デ

## 3

コーダの出力及び前記第2のセレクトアの出力に応じて前記複数種類の基準電圧を選択するか又はいずれも選択せずに非接続状態にする第1のセレクトアとを備え、上位ビット群に対応して選択された基準電圧の前記第1のセレクトアが切り離された時の電圧をデータラインの分布容量に画像データとして保持させることを特徴とする請求項1乃至3のいずれかに記載の多階調アクティブ駆動型液晶表示装置のデータライン駆動回路。

【請求項8】 前記基準電源回路は順次電圧が高くなる階段波状の基準電圧を発生し、前記階段波状の基準電圧の各段階において、初期部分では大きく、残り部分では前記画像データの下位ビット群に対応した電圧を付加した低い電圧になるように変化する基準電圧を各種類毎に発生させることを特徴とする請求項1に記載の多階調アクティブ駆動型液晶表示装置のデータライン駆動回路。

【請求項9】 前記基準電源回路は順次電圧が低くなる階段波状の基準電圧を発生し、前記階段波状の基準電圧の各段階において、初期部分では小さく、残り部分では前記画像データの下位ビット群に対応した電圧を付加した高い電圧になるように変化する基準電圧を各種類毎に発生させることを特徴とする請求項1に記載の多階調アクティブ駆動型液晶表示装置のデータライン駆動回路。

【請求項10】 前記階段波発生手段は順次電圧が高くなる階段波状の基準電圧を発生し、前記パルス発生手段は正のパルスを発生させることを特徴とする請求項2に記載の多階調アクティブ駆動型液晶表示装置のデータライン駆動回路。

【請求項11】 前記階段波発生手段は順次電圧が低くなる階段波状の基準電圧を発生し、前記パルス発生手段は負のパルスを発生させることを特徴とする請求項2に記載の多階調アクティブ駆動型液晶表示装置のデータライン駆動回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、液晶表示装置（LCD）に係り、特に、多階調表示に適応されるLCDに用いられるデータライン駆動回路に関する。LCDは、従来のCRTを代替する表示装置として期待されており、大規模市場に発展することが予想されている。そのため、その技術開発は盛んに行われている。その中でも特に、薄膜トランジスタ（TFT；Thin Film Transistor）を用いたLCDは原理的に高品質の表示が可能であり、しかも表示速度が速いことから、高速且つ高画質のカラー表示用ディスプレイの主流になることが期待されている。

【0002】

【従来の技術】 TFTを用いたLCDでは、TFTをスイッチング素子として用い、画素毎の液晶容量に対応するTFTを介して画像データ信号の大きさに比例したアナログ電圧信号（情報）を書き込むことにより、画像表

## 4

示を行う。図17は従来の一般的なTFT型LCDの全体構成を示す図であり、図18は図17に示したデコーダ81、セレクトア91、及び基準電源回路50を詳細に示す図であり、図19は液晶画素の構成例を示す図である。図示の例では、画素数を4×4として示してあり、また表示を制御する方式はいわゆるデジタル・ドライバ方式として示してある。図のP11～P44が画像表示の最小単位である画素を表す。TFTとは図19においてQ11～Q44で表された各画素内のトランジスタ・スイッチのことであり、各画素の液晶容量であるC<sub>mn</sub>（m、n=1～4）に表示用の信号電圧を書き込む時のスイッチの役割を果たす。この図では、横方向の画素の並びを1ラインと呼び、LCDへの表示用のデータはこの1ライン内の画素に同時に書き込まれ、それを1秒間に60回程度繰り返して、人間の目にはちらつきのない画像として見せる。

【0003】 実際のLCDの画素数はこの説明図の4×4よりはるかに多く、横方向に640、縦方向に480程度を有するのが典型例であるが、ここでは説明の簡単化のために、4×4として示すこととする。カラー表示の場合には、更に赤（R）、緑（G）および青（B）の別に画素を持つ必要があるので、全体としては3倍の画素数を必要とする。

【0004】 図17をもとに各画素に画像データを書き込む動作を説明する。図17において、HSは水平同期信号、VSは垂直同期信号、D1～DNは画像データを示す。Nは階調表示するためのビット数を表す。CLKは画像データと同期して与えられるタイミング信号（クロック）であり、画像データD1～D2の書き込み用のタイミングを与える。このクロック信号CLKは、水平同期信号HSの周期を計測して内部で生成することが可能であり、インタフェースとして本質的に必要とするものではない。

【0005】 40はLCD全体を制御する制御回路を示し、水平同期信号HS、垂直同期信号VSおよびクロックCLKに応答して画像データD1～DNの書き込みのための各種制御信号を発生する。また、50は複数の種類の基準電圧V1～VMを発生する基準電源回路を示す。20はデータドライバを示し、シフトレジスタ21と、それぞれNビットの容量を持つメモリ61～64と、同じくNビットの容量をそれぞれ有するメモリ71～74と、デコーダ81～84と、セレクトア91～94とを有する。

【0006】 データドライバ20において、シフトレジスタ21は、1ライン毎に制御回路40から供給されるスタート信号T1により動作を開始し、同じく制御回路40から供給されるクロックCK1により歩進してタイミング信号TS1～TS4を生成する。メモリ61～64は、制御回路40を通して供給される表示用のデータDT1～DTNをそれぞれタイミング信号TS1～TS



## 5

4に応答して取り込む（つまりデータの書き込み）。また、メモリ71～74は、メモリ61～64にデータが書き込まれた後、次のラインのデータが到来する前にメモリ61～64内のデータを制御回路40からのタイミング信号T2に응答して取り込む（データの書き込み）。デコーダ81～84は、それぞれメモリ71～74に蓄積されたデジタル・データをデコードする。セクタ91～94は、対応するデコーダ81～84のデコード結果に基づき、基準電源回路50から出力される複数種類の基準電圧V1～VMのいずれかを選択出力する。つまりセクタ91～94は、メモリ71～74に蓄積されたデジタル・データに対応したアナログ信号を発生させるための一種のデジタル・アナログ変換回路として機能する。このようにしてV1～VMのM種の電圧のいずれかが選択され、データラインX1～X4に出力される。M種の基準電圧V1～VMとメモリ71～74に蓄積されたNビットのデータとの関係は、データが2進数の場合、 $M=2^N$ で表される。例えばN=3の場合はM=8、N=4の場合はM=16となる。

【0007】上記のシフトレジスタ21、メモリ61～64、71～74、デコーダ81～84、及びセクタ91～94で構成されるデータドライバの部分は、集積化されているのが通常の形態である。但し、基準電圧V1～VMを発生させる基準電源回路50は、通常、集積回路の中には含まれない。それは、LCDで必要とするデータドライバ20は通常複数個のICで構成するのに対して、基準電源回路50は共通に一個設けられていればよいからである。

【0008】データドライバ20から出力されるデータ電圧X1～X4をTFTを通じて液晶容量に書き込むためには、アナログ・スイッチであるTFTのデータ電圧を制御してスイッチをオン・オフ動作させる必要がある。この機能を果たすのがゲートドライバ30である。ゲートドライバ30は、シフトレジスタ31と、各ゲートラインY1～Y4に対応して設けられたドライバDV1～DV4とから構成されている。シフトレジスタ31は、制御回路40から供給されるスタート信号T3により動作を開始し、同じく制御回路40から供給されるクロックCK2により歩進して液晶パネル10の1ライン毎のTFTをオンとするための信号を順次発生する。なお、スタート信号T3は垂直同期信号VSと同じ周期を有し、クロックCK2は水平同期信号HSと同じ周期を有する。ドライバDV1～DV4は、シフトレジスタ31の出力からTFTのオンとオフを制御できる電圧にレベル変換を行い、TFTをオフとできる電圧とオンとできる電圧のいずれかを発生してそれぞれ対応するゲートラインY1～Y4に出力する2値出力回路として機能する。これによって、アナログスイッチであるTFTのゲート電圧を制御してスイッチ機能をオン・オフすることができ、データドライバ20から出力されるデータライ

## 6

ンX1～X4上の画像データの信号電圧を1ライン毎にTFTを通して液晶容量に書き込むことができる。

【0009】図18は、図17におけるデコーダ81およびセクタ91の部分の詳細を示した図である。図示の構成は、デコーダ81が対応するメモリ71に蓄積されたデジタル・データD1～D4をデコードし、そのデコード結果に基づきセクタ91の中の1個のアナログスイッチのみをオンにして基準電圧V1～V16の中から1つの電圧を選択する例を示している。つまりこの場合は、前述のNが4の場合に相当している。

【0010】図19は図17の液晶表示部10の構成例を示す図であり、各画素P11～P44は、図示のように、複数のデータラインX1～X4と複数のゲートラインY1～Y4の交差部に配置され、対応するゲートラインが選択された時に対応するデータライン上の電圧情報を伝達するトランスファゲート（TFT）と、対応するTFTを介して伝達された情報を記憶する液晶容量とから構成されている。前述のように、ここでは駆動方法を簡単に説明するために4×4の単純な構成で示しているが、実際のLCDにおいては横方向に640、縦方向に480ラインの合計640×480=307200個の画素があるのが一般的であり、これを駆動するデータドライバは極めて大規模のものを必要とする。しかもカラー表示のためには赤（R）、緑（G）および青（B）の別に画素を持つ必要があるので、画素数の合計はこの3倍となる。さらにカラー表現をフルカラーに近づけるための階調制御を行うためには、図17で説明したデータドライバのビット数を増やす必要がある。例えば、図18の構成ではビット数が4（D1～D4）、電圧値が16（V1～V16）のデータドライバとしたが、更にフルカラーと呼ばれる26万色を表現するための各色の必要とする階調数は64であり、アナログスイッチの数は各データライン毎に64個必要となり、全体としては64×3×640=122880個のアナログスイッチを必要とすることになる。また、これに応じてデータドライバの外部から与える基準電圧の種類も64種類必要となる。さらに階調数を増やすためにはメモリ61～64、メモリ71～74、デコーダ81～84等のデジタル回路の規模が大きくなることは言うまでもない。

【0011】このように、従来のLCDではデータドライバの階調数の増大に伴う種々の問題点があった。これに鑑み、本件出願人は、このような問題点を解消する新規なデータドライバ回路を、特開平5-158446号公報に開示した。すなわち、階調数の増大に伴うデジタル回路の規模の増大、アナログ・スイッチの数の増大によるチップ面積の増大、外部からデータ・ドライバに供給する基準電圧のための信号線の数の増大、及びデータ信号線の数の増大の問題を解決するものである。上記公報にはいくつかの実施例が示されているが、その典型例が図20に示すものである。また、図21は上記公報

## 7

に開示された発明の原理を説明するための図であり、図22はその要部の構成を示す図であり、図23はデータライン上の電圧波形例を含む動作タイミングを示す図である。

【0012】図20は全体の構成を示しており、データドライバ20Aにおいて、シフトレジスタ21は、1ライン毎に制御回路40Aから供給されるスタート信号T1により動作を開始し、同じく制御回路40Aから供給されるクロックCK1により歩進してタイミング信号TS1～TS4を生成する。メモリ61～64は、制御回路40Aを通して供給される1ライン分のNビットの画像データDT1～DTNをそれぞれタイミング信号TS1～TS4に応答して保持する。1段目のメモリ61～64にデータが揃ったところで、制御回路40Bからのタイミング信号T2に応答して次のラインのデータが到来する前にメモリ61～64内のデータが2段目のメモリ71～74に移され、次のラインの画像データの保持のためにメモリ61～64が明け渡される。メモリ61～64、71～74内の画像データは上位ビット群DTQ～DTNと下位ビット群DT1～DTPに分けられて記憶される。上位ビット群のデータはデコード81A～84Aに渡されて、画像データに対応したセクタ91～94の1個のアナログ・スイッチを選択する信号に変換される。そして、セクタ91～94の中のアナログ・スイッチの1個がオンとなり、基準電源回路50の中のいずれかの基準電圧が選択されて、対応するデータラインX1～X4に出力される。基準電源回路50Aからは固定基準電圧VR1～VR4がV1A～V4Aとして出力されている。この基準電圧V1A～V4Aの直流電圧が各データラインの分布容量を充電する。セクタ91～94と直列にあるアナログ・スイッチS1～S4は各データライン毎に設けられた1ビットのメモリB1～B4によりそれぞれ制御され、また各メモリB1～B4は1ライン時間の最初に制御回路40Aから供給されるタイミング信号T4によりそれぞれセットされ、これによって各スイッチS1～S4はオンとされる。ここまでの動作形態は、図23の時点t1までの動作であり、前述した図17の従来例と同じであるが、その次に第2のメモリ71～74の中の下位ビット群のデータを使ってデータラインへ送出するデータを更に変化させることで、下位ビット群のデータに対応した電圧を時分割で設定することがこの従来例の特徴である。

【0013】このような変化をさせるために、基準電源回路50Aは、カウンタ51とディジタルーアナログ(D-A)変換回路52とを有し、カウンタ51をタイミング信号T2でクリアしてクロックCK3により歩進させ、さらにD-A変換回路52を通すことにより階段波電圧を生成し、この階段波電圧を直流の基準電圧VR1～VR4に加算して各データラインへ送出している。この場合の波形例は図23に示されている。

## 8

【0014】一方、第2のメモリ71～74内の下位ビット群のデータDT1～DTPは、それぞれ対応する比較回路C1～C4に入力され、カウンタ51の出力と比較される。この比較結果に基づき両者が一致した時に一致信号がそれぞれ対応するデータライン毎の1ビットメモリB1～B4に出力され、これによってこれらのメモリB1～B4はリセットされる。この時、各アナログ・スイッチS1～S4はオフとされ、その時点での基準電圧がデータライン上の分布容量へ保持され、この後はこの分布容量に保持された電荷によりTF Tを通して液晶容量への充電が行われることになる。このようにして各データラインの画像データに対応した電圧がデータラインへ与えられることになる。データライン上の分布容量の値は、データラインおよび対向電極の間に存在する液晶を誘電体とした容量と、データラインおよびゲートラインの交差部の絶縁物を誘電体とした容量との合計値により本質的に形成されるものである。この値は、10.4インチの液晶パネルで640×480画素の場合、100pF程度が典型値である。一方、液晶容量は1pF程度以下であり、電荷の移動による電圧の変化は実用上は問題を生じない。それはt1の時点までには、液晶容量はTF Tを通して既に最終値に近い値まで充電が行われており、残りの電圧をデータラインの分布容量に蓄積された電荷により充電すればよいからである。

【0015】図21は、図20に示した従来例の原理を説明するための図であり、(1)は等価回路を、(2)はタイムチャートを示す。図において、VAは固定基準電圧に階段波電圧を加算した基準電圧を示し、SWは画像データに対応した電圧をVAの中から選択するためのセクタ91～94内のアナログ・スイッチである。また、RDはデータラインの等価抵抗を示し、CDはデータラインの等価容量である。そしてQはアナログ・スイッチとしてのTF Tであり、CLは液晶容量である。対角10.4インチで画素数640×480のカラー液晶パネルの場合のこれらの典型的な値は、RDが10Kオーム、CDは100pF、CLは1pF程度である。また、TF TであるQのオン抵抗は1水平同期期間内に十分に画像電圧を充電できるように設計される。640×480画素の液晶パネルの場合の1水平同期期間は約30マイクロ秒であるので、TF Tへの書き込み時間は20マイクロ秒程度以内となるように設計されるのが普通であり、例えば、誤差0.1%以内に充電するための時間は時定数の6.9倍とすればよいため、TF Tのオン抵抗と液晶容量の積である等価時定数は20/6.9=2.9マイクロ秒以下とすればよく、この値からTF Tのオン抵抗は2.9Mオーム程度以下とすればよい。そして、図21の(2)に示すタイムチャートでt0からt1までの時間を8マイクロ秒とし、階段電圧の1ステップの時間を3.0マイクロ秒としたとすると、t0からt3までのスイッチSWがオフとなるまでに液晶容量

に充電される電圧の概略値は、 $V_R$ の値を4.2Vとし、1ステップの階段電圧値を0.2Vとしたとすると、約4.3Vとなる。また、 $t_3$ の時点ではデータライン上の等価分布容量 $C_D$ 上の保持電圧は4.6Vであ

$$(100 \times 4.6 + 1 \times 4.3) / (100 + 1) = 4.597 \text{ V} \cdots (1)$$

この値は理想的な充電電圧値である4.6Vに対して0.1%以下の誤差である。このように誤差を小さくできるのは前述したようにスイッチ $SW$ がオフとなった時点で液晶容量 $C_L$ には既に約4.3Vの電圧が充電されており、最終値との電圧差が0.3Vと小さくなっているからである。なお、電荷の再配分のための電荷の移動の時定数は液晶容量 $C_L$ とデータラインの等価容量 $C_D$ の直列合成容量と $Q$ のオン抵抗との積として与えられ、前述の数値例では約2.9マイクロ秒となる。一方電荷の再配分として許容される時間は $30 - 17 = 13$ マイクロ秒であり、これは電荷の再配分の時定数2.9マイクロ秒に対して4.5倍であるから、電圧差の0.3Vは $0.3 / \text{EXP}(4.5) \approx 3.3 \text{ mV}$ 程度の誤差まで充電されることになり問題はない。

【0017】図22は、図20におけるデコーダ81Aの例、基準電源回路50A、セクタ91～94および液晶パネル10の部分の詳細を示したものである。図示の構成は、4種類の基準電圧 $V_{1A} \sim V_{4A}$ と各セクタ91～94内の4個のアナログスイッチとにより16値の階調を持たせる場合を示している。このような構成をとることにより、前述の図17に示した従来例よりも大幅な回路の削減が可能であることが分かる。特に、図18に示したデコーダ81の構成と図22のデコーダ81Aの構成とを比較してみると、その削減の効果を見ることができる。

$$e_N = \Delta V m (1 - m^N) / (1 - m) \cdots (2)$$

ここで、 $N$ は階段の番号を表し、 $m$ は $\text{EXP}(-T/\tau)$ であり、 $\Delta V$ は1階段波の電圧値、 $T$ は1階段波の時間、 $\tau$ は充電の時定数であり、具体的には $R_D \times C_D$ である。この式に実際の装置における具体的な数値を適用して誤差を計算してみると、表1のようになる。

【0020】

【表1】

誤差の計算表

N	$m = 0.135$	$m = 0.368$	$m = 0.607$
1	0.135	0.368	0.607
2	0.153	0.503	0.975
3	0.157	0.553	1.199
4	0.156	0.572	1.334
5	0.156	0.578	1.417

【0021】表1では、 $m$ が $\text{EXP}(-2) = 0.135$

る。従って、 $t_3$ 時点以降の $C_D$ の電荷と $C_L$ の電荷の再配分による電圧値は次式で表される。

【0016】

【0018】

【発明が解決しようとする課題】上述のように、図20に示した従来例は、図17に示した従来例の一般的な例に比べて大幅な回路の削減が可能であり、この回路を採用すれば、多階調の液晶表示装置の駆動回路のコストを大幅に低減できる効果がある。しかし、この従来例はその優れた方式にもかかわらず、階段波の数を増加させて階調数を増大させようとする、限界がある。それはデータラインの抵抗値と容量値が大きいと、階段波の変化に応答してデータラインを充電する速度が遅くなり、充電時間が短くなると誤差を生じるからである。この問題を図24を参照して説明する。図24の(1)は充電動作における等価回路を示す図である。実際のデータラインは分布定数回路であり、このような単純なモデルとは異なるが、定性的にはここに示す1次ローパス・フィルタによって解析することは可能である。図において、抵抗 $R_D$ はデータラインの等価抵抗値を示し、 $C_D$ は等価容量を示す。図24の(2)は階段波である信号源 $V_S$ の波形と出力波形 $V_B$ を示したものであり、階段波の1段階の時間 $T$ と充電の時定数、 $R_D \times C_D$ が等しい場合の応答波形として示してある。この図で充電の誤差を各段階波毎に $e_1$ 、 $e_2$ 、 $e_3$ 、…として計算すると、その誤差は次式で表すことができる。

【0019】

5、 $\text{EXP}(-1) = 0.368$ 、 $\text{EXP}(-0.5) = 0.607$ の例について示している。この結果からわかるように、充電の時定数が大きいと誤差が増大し、その差が大きくなる。表1に計算した誤差は誤差を $\Delta V$ で割り算して正規化したものである。つまり誤差の値が1とは、各階段波で充電される最終電圧が丁度1段階の電圧値だけ真値と異なることを意味する。

【0022】表1に示す誤差は大きく、階調数を増加させた場合には、この誤差が階調表示の誤差として問題になる。本発明はこのような問題を解決するためのものであり、図20に示した簡単な駆動回路で階調数を増加させた場合にも、階調表示の誤差が低減できる液晶表示装置の駆動回路の実現を目的とする。

【0023】

【課題を解決するための手段】図1は本発明の原理構成を示す図である。上記目的を実現する本発明の階調表示アクティブ駆動型液晶表示装置のデータライン駆動回路においては、基準電源回路50Pが画像データの上位ビット群に対応した複数種類の固定電圧のそれぞれに画像



データの下位ビット群に対応した電圧を付加した階段波状に変化する複数種類の基準電圧を順次生成し、印加電圧選択手段22は画像データの上位ビット群に対応した基準電圧がデータラインに印加されるように選択すると共に画像データの下位ビット群に対応した電圧が印加された時点で基準電圧のデータラインへの印加を停止する。これにより、印加停止時点の基準電圧をデータラインの分布容量に画像データとして保持させることで階調制御が行われる。このようなデータライン駆動回路において、上記目的を達成するため、基準電源回路は、階段波状に変化する基準電圧の各段階において、初期部分では前記画像データの下位ビット群に対応した電圧を付加した電圧より変化量が大きくなる電圧を出力し、残り部分で前記画像データの下位ビット群に対応した電圧を付加した電圧になるように変化する基準電圧を各種類毎に発生させることを特徴とする。

【0024】図2は、上記のような駆動回路において、基準電源回路を実現する回路の基本構成の例をブロック図で示した本発明の原理構成図であり、基準電源回路50Pは、画像データの上位ビット群に対応した複数種類の固定電圧を発生する固定並列基準電圧源Vと、画像データの下位ビット群に対応し階段波状に変化する電圧を順次発生する階段波発生手段Sと、前記階段波状の電圧の各段階の初期部分に対応してパルス発生するパルス発生手段Pと、それらを加算する加算手段Aとを備えることを特徴とする。

【0025】基準電源回路を実現する他の回路は、複数の抵抗器が直列に接続された抵抗ストリングと、該抵抗ストリングの一端に接続された定電流源と、階段波電圧発生手段と、パルス発生手段と、前記階段波電圧発生手

$$VK = VN (1 - \exp(-TP/\tau)) \quad \dots (3)$$

$$VL = VM + (VK - VM) \exp(-TQ/\tau) \quad \dots (4)$$

充電の誤差 $\Delta E$ は次式で表される。

$$\Delta E = VM - VL \quad \dots (5)$$

ケース3になる条件は、式(3)において $VK = VM$ と

$$VM = VN (1 - \exp(-TP/\tau)) \quad \dots (6)$$

式(6)を満たすようにVN又はTPを調整することにより、ケース3のような充電が行われることになる。例

$$VN = VM (1/e) = 2.7 VM \quad \dots (7)$$

図3の充電の波形例は、図4のケース2の場合を示している。

【0030】いずれにしろ、パルスの条件を適当に選択することにより、各段階における最終的な充電値と所望の充電値との差を小さくすることが可能である。図3及び図4では、階段波は電圧値が順に大きくなり、パルスが正の場合の例を示しているが、階段波の電圧値を順に小さくする場合もあり、その場合にはパルスを負にするればよい。

【0031】

【実施例】図5は本発明の第1実施例としてのLCDの

段の出力と前記パルス発生手段の出力を加算し前記抵抗ストリングの他端に接続された加算手段と、前記抵抗ストリングの各抵抗器の接続点の電位にそれぞれ応答して前記データラインに供給されるべき基準電圧をそれぞれ発生する複数のオペアンプとを備えることでも実現できる。

【0026】

【作用】図3は本発明の原理を説明するための図であり、(1)はデータラインを含む等価回路を示し、

(2)は等価回路における各部の電圧波形を示す。図3の(1)において、VPは図1におけるパルス発生手段Pの出力であり、VLは階段波発生手段Sの出力、VRは固定並列基準電圧源Vの出力である。SWは図2に示すデータドライバ20P内のアナログ・スイッチであり、データラインが表示データに対応した値に充電されるとオフする。RD及びCDはそれぞれデータラインの等価抵抗及び等価容量である。QはTFT、CLは液晶容量である。VAは加算手段Aの出力であり、VBはデータラインの通ったデータ電圧のQへの入力電圧値であり、VCは液晶容量への充電電圧値である。

【0027】図4は図3における充電の様子を、充電の時定数 $\tau = RD \times CD$ とパルス電圧との関係を変えた場合について示しており、条件によって充電の電圧波形が異なることがわかる。ケース1は最初のパルス電圧VNによる充電電圧VKが階段波の最終電圧VMよりも小さい場合を示し、ケース2はこの値VKがVMよりも大きい場合を示し、ケース3は $VK = VM$ の場合を示す。充電におけるVK、及び充電の最終電圧値VLは次式によって表される。

【0028】

することにより得られ、次式のようになる。

【0029】

例えば、 $TP = \tau$ とすると、VNを次式であらわされるようにすればよい。

【0031】

全体構成を示す図であり、図20に示した下位ビット群に対応する階調電圧を階段波として時分割で供給する従来例に本発明を適用した実施例であり、基準電源を図2の原理構成図に示した構成で実現したものである。

【0032】図20に示した従来例と本実施例との相違点は、図示のように、基準電源50Bの部分にパルス発生器53を追加したことと、それに応じて加算器を3入力にしたこと、及び制御回路40Bにパルス発生器53を制御する信号を生成する機能を設けたことであり、本実施例においては、画像データとして上位2ビット、下位2ビットが供給される。

【0033】図6は本実施例におけるデータライン上の電圧波形例と、基準電源の出力する電圧波形例とを示す図である。図5の回路により、図6の(2)に示すような4種類の基準電圧が出力される。すなわち、固定基準電圧としては1. 8V (VR1)、2. 6V (VR2)、3. 4V (VR3)、4. 2V (VR4)が出力され、これに0. 2Vずつ増加する階段波が付加され、更に階段波の各ステップの前半部分では0. 2V弱のパルスが加算され、図示のように変化する基準電圧が出力される。

【0034】このような基準電圧をデータラインに印加した時のデータライン上の電圧波形は、図6の(1)のようになる。図の右側には対応する画像データを示してある。例えば、上位2ビットが「1、0」で下位2ビットが「1、0」の場合には、3番目の固定基準電圧が3. 4Vの電圧供給線が選択され、この電圧供給線が3. 8Vになった3番目のステップの時点でスイッチが切り離される。ここでは、図3のケース2の場合のようにパルスの電圧値が理想的な場合より若干大きく、データライン上の電圧が微小量オーバーシュートする場合を示しているが、パルスの電圧値等の条件を適当に選択することにより、図3のケース3のような電圧波形にすることが可能である。いずれにしろ、そのような電圧波形に近くなる条件を選定することにより、各ステップの最後の時点におけるデータラインの電圧は所望の固定基準電圧に階段波電圧を加算した電圧にほぼ一致することになり、誤差を低減することができる。

【0035】図5の実施例では、加算器を3入力とし、固定基準電圧と、階段波電圧と、パルス電圧を同時に加算する構成を用いたが、回路構成をより簡単にする各種の変形例が可能である。図7は基準電源50Bの部分の第1の変形例をより詳細に示した図である。図7において、52は制御回路40Bから出力される画像データの下位ビットデータD2、D1を階段波状に変化するアナログ電圧に変換するアナログ・デジタル変換器(D-A)である。53は階段波の各ステップの前半部分でパルスを発生するパルス発生器である。VRは基準電圧VAを抵抗器R1~R5により分圧して4種類の基準電圧VR1~VR4を生成し、この電圧をオペアンプOP11~OP14により低インピーダンス化して出力する部分である。以上の出力を加算する加算器は、D/A変換器52の出力とパルス発生器53の出力とを加算する第1加算器AD1と、基準電圧VR1~VR4と第1加算器AD1の出力をそれぞれ加算する4個の加算器で構成される第2加算器AD2で構成される。第2加算器AD2のいずれの加算器も抵抗器R61~R64、R71~R74、及びオペアンプOP21~OP24で構成されるもので、各加算器の利得は抵抗器R81A~R84Aと抵抗器R91~R94で決定される。このように2入力の加算器を1個付加することにより、3入力の加算器

を2入力にすることができる。

【0036】また、本出願人は特願平4-248024号で、複数の固定基準電圧に階段波状に変化する電圧を加算する回路を簡単にする構成を開示しているが、図8はそこで開示した回路例にパルス発生器を付加することにより実現した基準電源の変形例を示している。図8において、IGは基準電源VPと、コレクタがオペアンプOP1Aの非反転入力端に接続されたPNP型トランジスタQ1と、このトランジスタのベースとグランドの間に接続された抵抗器RP1と、トランジスタQ1のエミッタと基準電源VPの間に接続された抵抗器RP2と、基準電源VPとトランジスタQ1のベースの間に逆方向に接続されたツェナダイオードZDとから構成される定電流源である。SPGは階段波信号とパルス信号を加算した信号を発生する階段パルス電圧発生部であり、画像データの下位ビットデータD2、D1を階段波状に変化するアナログ電圧に変換するD-A変換器DACと、パルス信号を発生するパルス発生器53とそれらの信号を加算する加算回路AD3で構成され、第1の固定基準電圧に階段波とパルスを加算した電圧を発生させる。階段パルス電圧発生部SPGは定電流源IGに抵抗器R1A、R2A、R3Aを介して接続され、各抵抗器の部分に固定基準電圧に階段波とパルスを加算した電圧が生成されるので、オペアンプOP1A~OP4Aで低インピーダンス化して出力する。図5及び図7と図8を比較して明らかなように、図8のような構成を用いることにより、オペアンプや抵抗器の個数を低減して回路を簡単にすることができる。

【0037】また、上記の例ではパルスの加算はすべてアナログ信号で行われるが、階段波とパルスの加算をデジタル信号で行った後、加算した信号をD-A変換器でデジタル信号に変換することも可能である。図9はそのような基準電源回路の例である。図9に示すように、図20に示した従来例の及び図5、7、8に示した基準電源回路との相違点は、カウンタ51の出力に、パルスに相当する制御回路40Bからのデジタル信号を加算する加算器AD4を設け、その出力をD-A変換器52でアナログ信号に変換する点である。従って、固定基準電圧VR1~VR4との加算は、従来と同様に2入力加算器で行うことができる。

【0038】第1実施例では、階段波は順に電圧値が増加し、パルスも正であったが、電圧値が順に減少する階段波を使用することも可能であり、第2実施例は電圧値が順に減少する階段波を使用する場合に本発明を適用した実施例である。図10は第2実施例の液晶表示装置の構成を示す図であり、図11は第2実施例におけるデータライン上の電圧波形と基準電源の波形例を示す図である。

【0039】第1実施例と第2実施例の相違点は、上記のように固定の基準電源に加算する階段波が順に減少す

10

20

30

40

50



ることである。基準電圧 $V_{R1} \sim V_{R4}$ としては図6の基準電圧よりも高い2.4V ( $V_{R1}$ )、3.2V ( $V_{R2}$ )、4.0V ( $V_{R3}$ )、4.8V ( $V_{R4}$ )が発生され、D-A変換器52はカウンタ51の出力を負のアナログ電圧値に変換して順に0.2Vずつ減少する負の階段波を発生し、パルス発生器53も0.2V弱の負のパルスを発生する。これにより、図11の(2)のような基準電源波形が得られる。

【0040】カウンタ51の出力は論理的に反転された後比較器C1～C4に入力される。従って、下位ビットが「1、1」の時には各基準電圧の最初のステップ、すなわち各固定基準電圧が出力されている時に切り離され、「1、0」の時には次のステップの電圧が出力されている時に切り離されという具合にデータラインの電圧が設定される。この場合も、負のパルスが印加されるため、階段波の各ステップにおける電圧は短時間に所望の電圧なる。

【0041】第1実施例においては階段波上に変化する各基準電圧に更に正のパルスを加算するため、基準電源から出力される最高電圧はパルスの分だけ大きくなる。そのため、セクタ91～94に入力される電圧が高くなり、セクタ内部のアナログ・スイッチのオン・オフ可能な電圧レベルを越える恐れがあり、その分アナログ・スイッチの動作電圧範囲を大きくする必要があった。しかし、第2実施例のような構成を用いれば、基準電源から出力される最高電圧が大きくなることはないためこのような恐れはなく、より自由度の高い駆動が可能になる。

【0042】また、液晶表示装置においては、一方にのみ電界を印加すると液晶材料が分極してしまうという問題がある。このような問題を防ぐため、液晶素子に印加する電圧を交互に正負の電圧に切り換えることが行われる。このような場合には、正の電圧を印加する時には、第2実施例のように順に減少する階段波と負のパルスを加算し、負の電圧を印加する時には、順に増加する階段波と正のパルスを加算するようにする。

【0043】第1及び第2実施例においては、画像データの下位ビットに対応する階段波の電圧が出力されていることを検出するために、各データライン毎の下位ビットの値と階段波のステップを示すカウンタの値とを比較する比較器を設けたが、階段波のステップは所定の時間で変化するので、これを時間制御することが可能である。

【0044】第3実施例は画像データの下位ビットに対応した階段波の電圧が出力されている時のスイッチの切り離しを時間制御する例であり、その構成を図12に示す。図示のように、第3実施例の第1実施例との相違点は、第1実施例におけるデータライン毎の1ビットメモリ $B_i$  ( $i=1 \sim 4$ )と比較器 $C_i$  ( $i=1 \sim 4$ )の代わりに、基準時間発生器TBと選択回路 $G_i$  ( $i=1 \sim$

4)を設けたことであり、その他の点については第1実施例の構成と同じである。

【0045】図13は第3実施例における基準時間発生器TBと選択回路G1の回路構成を示す図である。図13に示すように、基準時間発生器TBは9個のインバータ、7個のNOR回路、3個のNAND回路から構成され、選択回路G1は2個のインバータ、4個のNOR回路、5個のNAND回路で構成される。図14は第3実施例のタイムチャートである。これらの図を参照して第3実施例の動作について説明する。

【0046】パルス発生器を動作状態にする信号T2が「低(L)」で、且つ信号T5が「L」の時、回路は動作状態になり、基準時間発生器TBの出力 $TB_i$  ( $i=1 \sim 4$ )はすべて「高(H)」になる。カウンタ51へのクロック信号CK3Aによりカウンタ51の出力D1CとD0Cが変化するのに応じて、基準時間発生器TBの出力 $TB_i$  ( $i=1 \sim 4$ )は図のように変化する。D1とD2は下位ビットのデータであり、このデータに応じて選択回路G1で出力 $TB_i$ のいずれかが選択される。例えば、D1とD2が「1、0」であれば、TB3が選択され、E1としてTB3が出力される。TB3は3番目のステップが終了した時点で「L」になるため、スイッチS1はこの時点で切り離され、データラインX1はその直前の電圧になる。このようにして、画像データに対応した電圧がデータラインに印加される。第3実施例においても、各ステップの前半部分では基準電圧に階段波を加えた電圧より高い電圧が基準電源より出力され、後半部分では基準電圧に階段波を加えた電圧が基準電源より出力されるため、データラインの電圧は短時間で所望の電圧になる。

【0047】第1乃至第3実施例では、セクタとデータラインの間にアナログ・スイッチを設けているが、このアナログ・スイッチは基準電源供給線とデータラインを切り離すためのものであり、セクタにこのような機能を持たせることにより、アナログ・スイッチを省くことが可能である。第4実施例はこのような例であり、その構成を図15に示す。第4実施例は、図示のように、第3実施例からアナログ・スイッチ $S_i$  ( $i=1 \sim 4$ )を除いた構成を有する。

【0048】図16は第4実施例におけるデコードとセクタの部分の詳細を示す図である。セクタ91～94は基準電源50Bからのいずれの基準電圧供給線もデータラインX1～X4に接続しない状態を取り得るので、アナログ・スイッチ $S_i$  ( $i=1 \sim 4$ )と同等の機能を有する。従って、下位ビットに対応する電圧が出力されている状態でセクタが接続されない状態にすれば、データラインはその時点の電圧になる。

【0049】以上本発明の実施例について説明したが、第3及び第4実施例の特徴部分の構成は、第1及び第2実施例に適用できることは明らかであり、第1実施例で

説明した基準電源の変形例を第2乃至第4実施例に適用できることも明らかである。。

# 【0050】

【発明の効果】以上説明したように本発明によれば、階調数の多い液晶表示装置を高い表示精度で実現することができ、それによってコストの低減と実装の小型化を達成することができる。

## 【図面の簡単な説明】

【図1】本発明の多階調表示アクティブ駆動型液晶表示装置のデータライン駆動回路の原理構成図である。

【図2】本発明の基準電源の基本構成例を示す図である。

【図3】本発明の原理を説明するための図である。

【図4】本発明における充電電圧の大きさと充電波形の関係を示す図である。

【図5】本発明の第1の実施例の全体構成図である。

【図6】第1実施例におけるデータライン上の電圧波形例と基準電源の波形例を示すタイムチャートである。

【図7】基準電源の変形例（その1）を示す回路図である。

【図8】基準電源の変形例（その2）を示す回路図である。

【図9】基準電源の変形例（その3）を示す回路図である。

【図10】本発明の第2の実施例の全体構成図である。

【図11】第2実施例におけるデータライン上の電圧波形例と基準電源の波形例を示すタイムチャートである。

【図12】本発明の第3の実施例の全体構成図である。

【図13】第3実施例における基準時間発生器と選択回路を示す回路図である。

【図14】第3実施例におけるデータライン上の電圧波形例と基準電源の波形例を示すタイムチャートである。

【図15】本発明の第4の実施例の全体構成図である。

【図16】第4実施例におけるデコーダとセレクトアを示す回路図である。

【図17】従来形の一例としての液晶表示装置の全体構成を示す図である。

10 【図18】図17の液晶表示装置のデコーダ・セレクトア・基準電源を示す回路図である。

【図19】液晶表示部の構成例を示す図である。

【図20】階調電圧を時分割で供給する従来例の液晶表示装置の構成を示す図である。

【図21】図20の回路の動作原理説明図である。

【図22】図20のデコーダ・セレクトアの詳細図である。

【図23】図20の従来例におけるデータライン上の電圧波形例とタイムチャート例である。

20 【図24】図20の従来例における問題点の説明図である。

## 【符号の説明】

10…液晶パネル

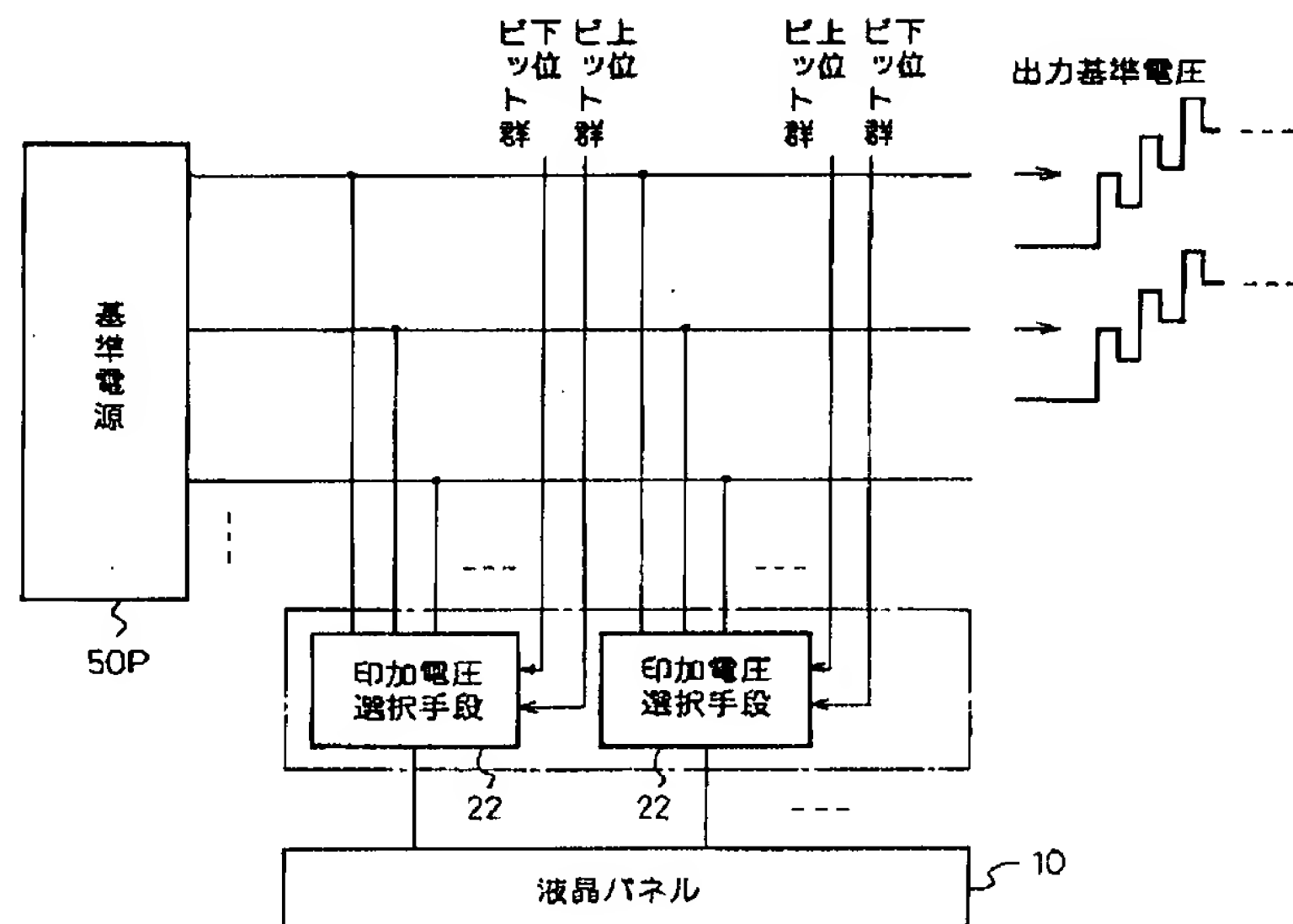
22…印加電圧選択手段

20i…データドライバ

40i…制御回路

50i…基準電源

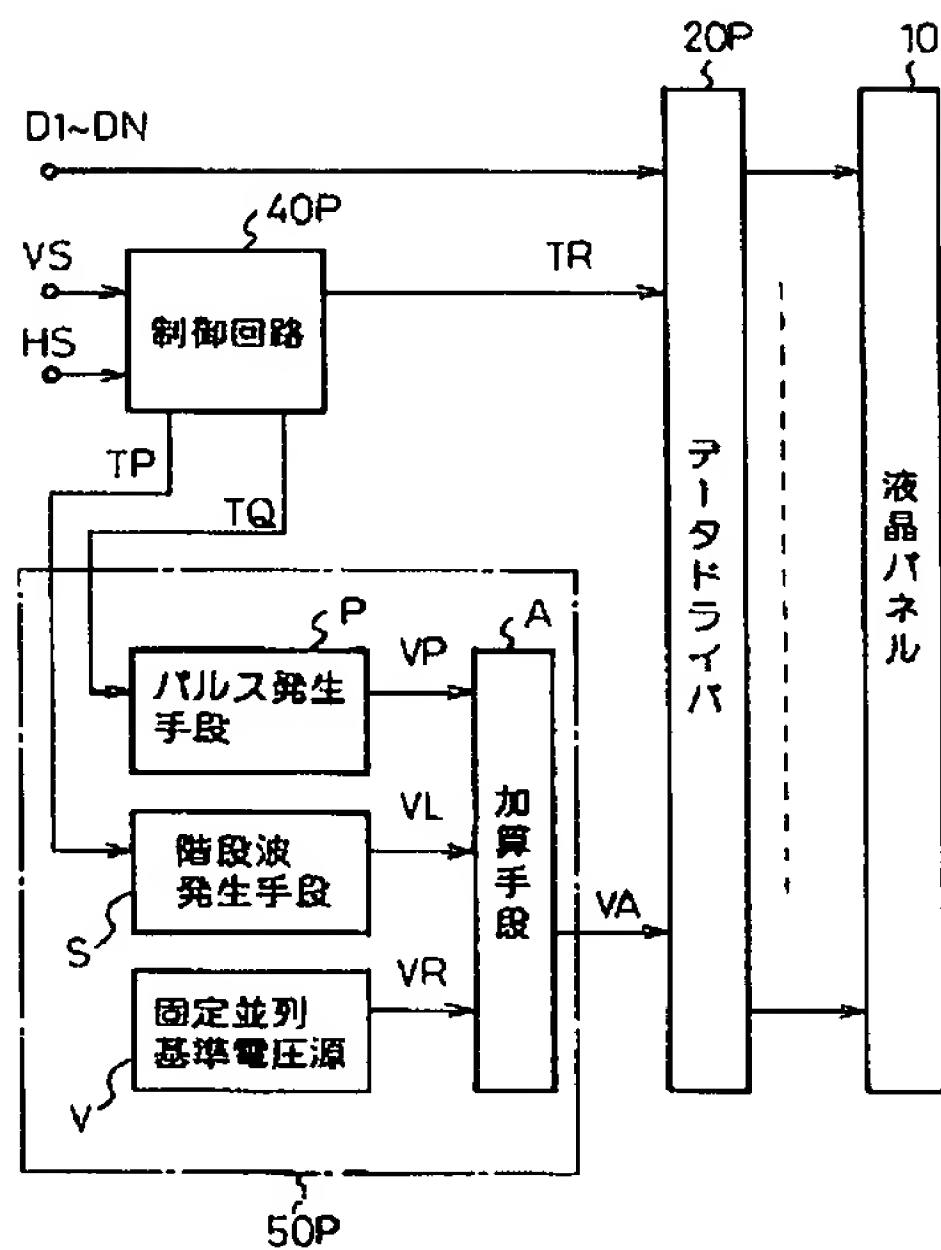
【図1】



本発明の原理構成図

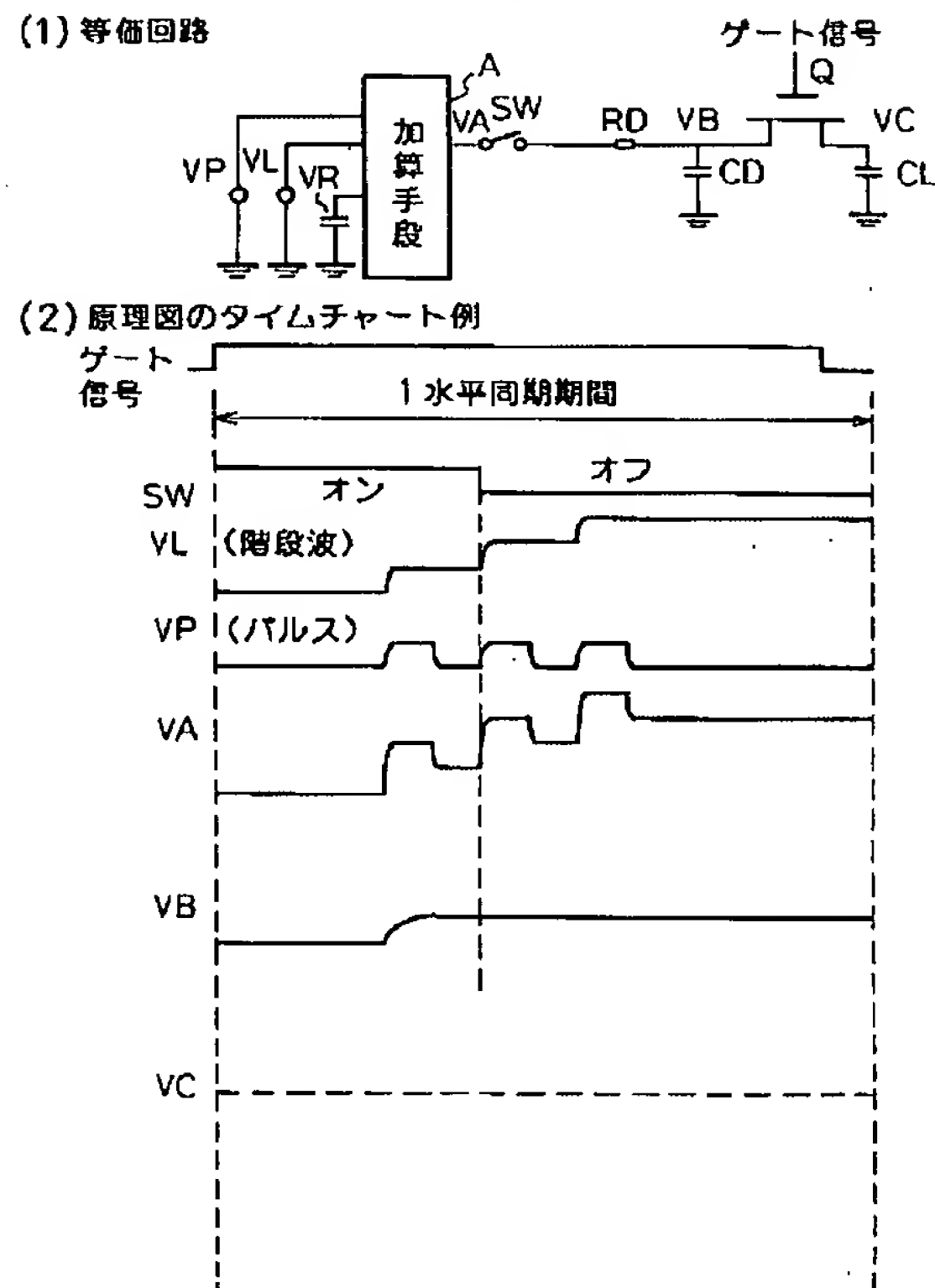
【図2】

本発明の基準電源の基本構成例



【図3】

本発明の原理の説明図

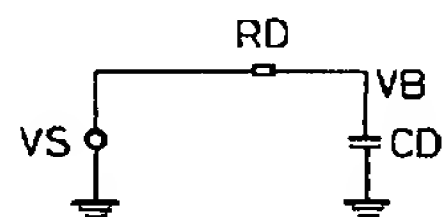


【図4】

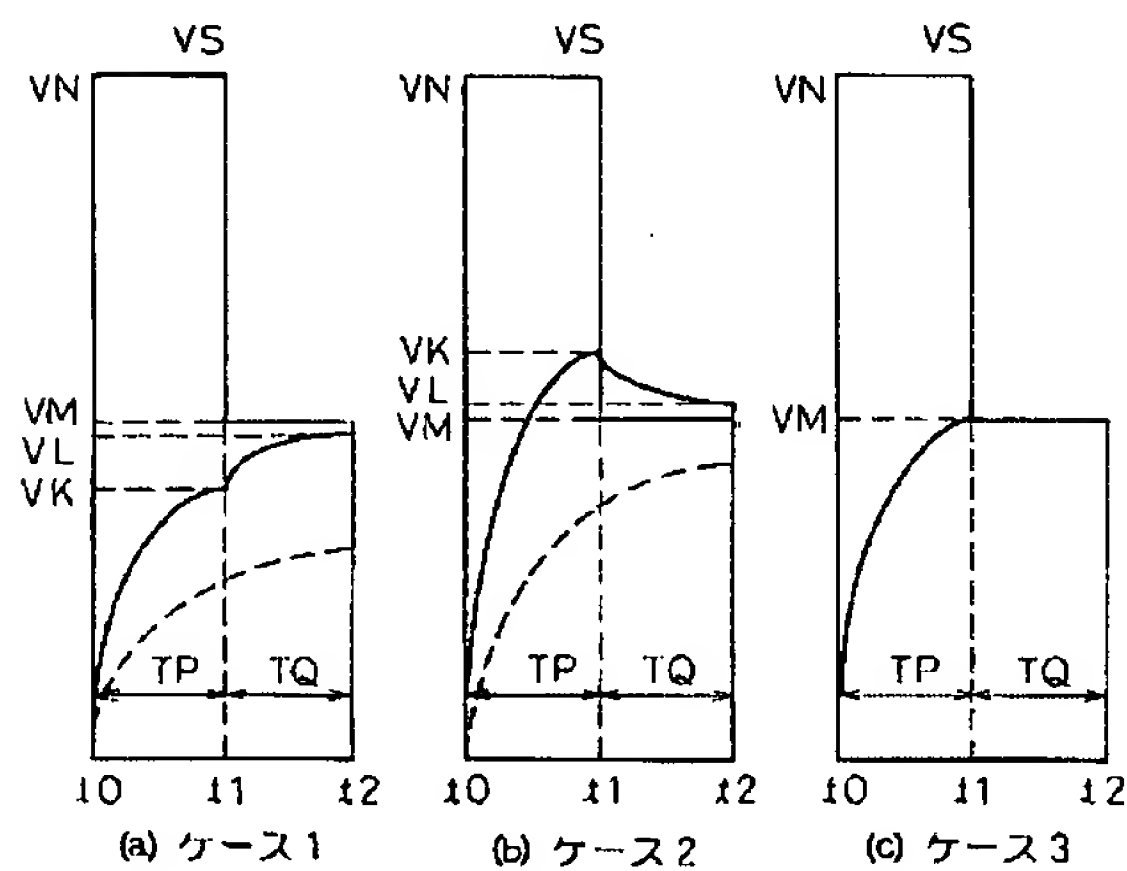
パルスによる充電電圧の大きさと充電波形の関係

(1) 等価回路

信号源

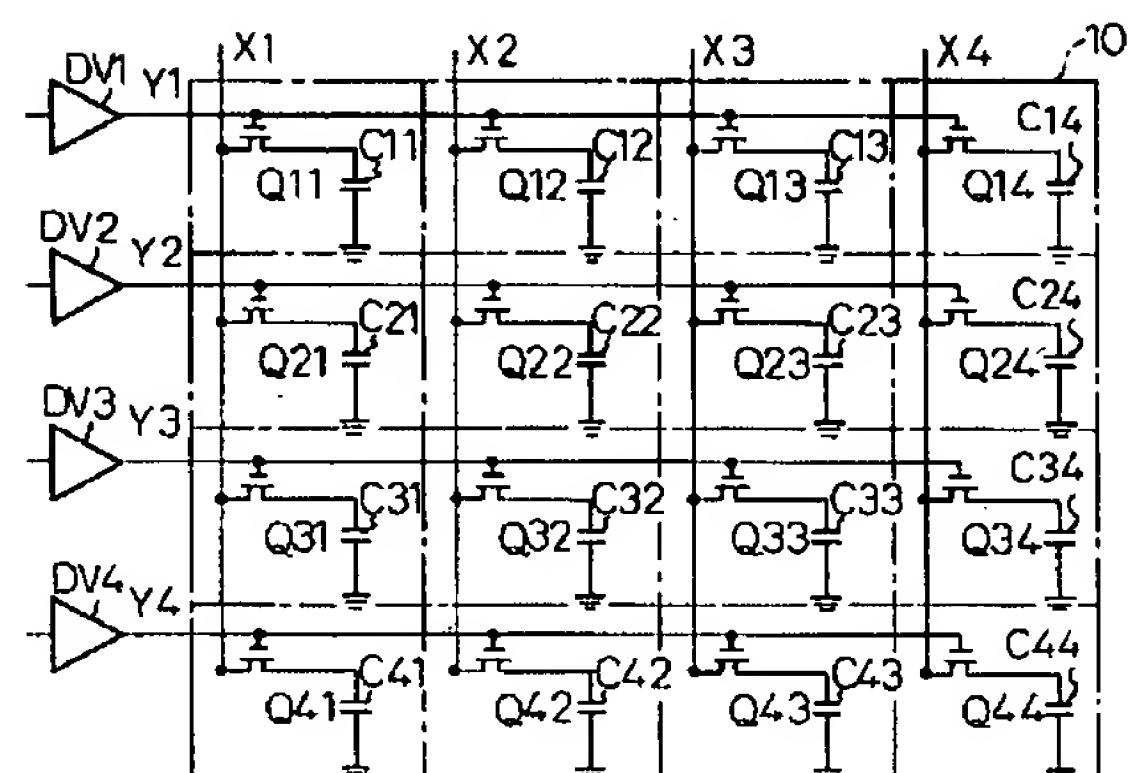


(2) 充電の波形例



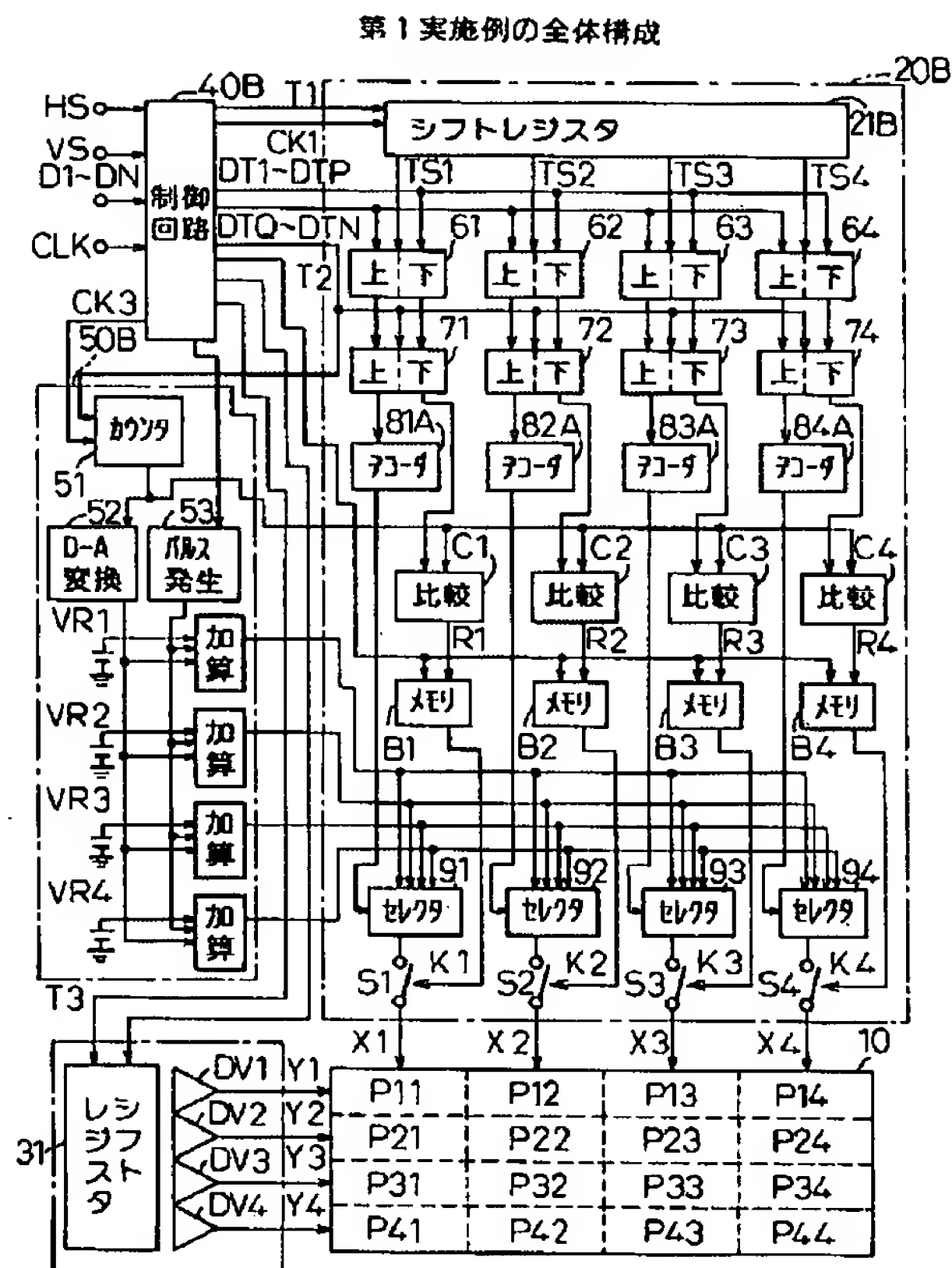
【図19】

液晶表示部の構成例





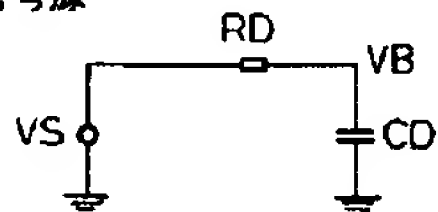
【図 5】



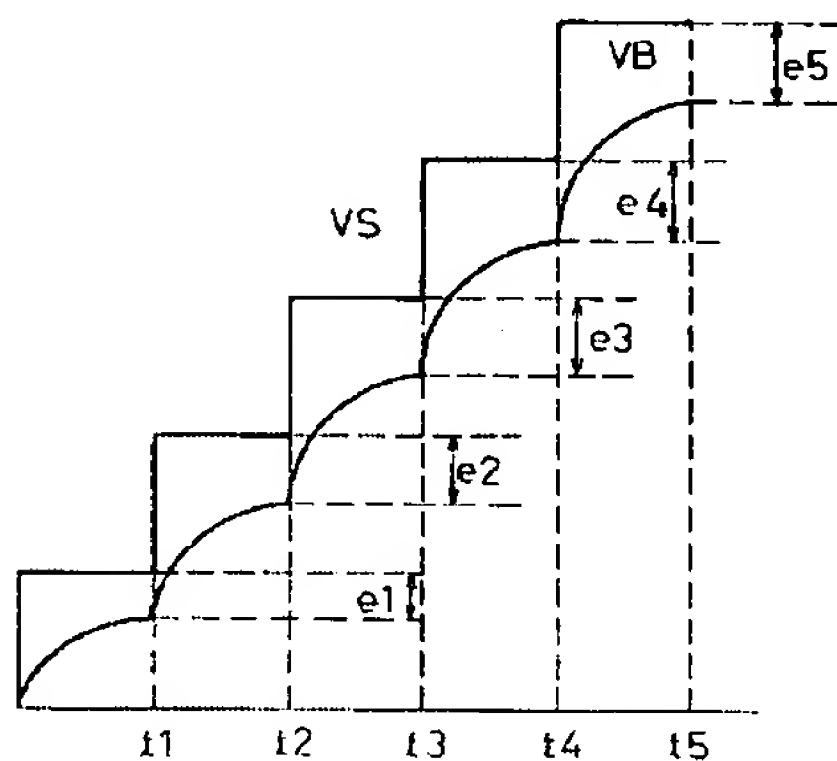
【図 2 4】

図20の従来例における問題点の説明図

(1) 等価回路 信号源

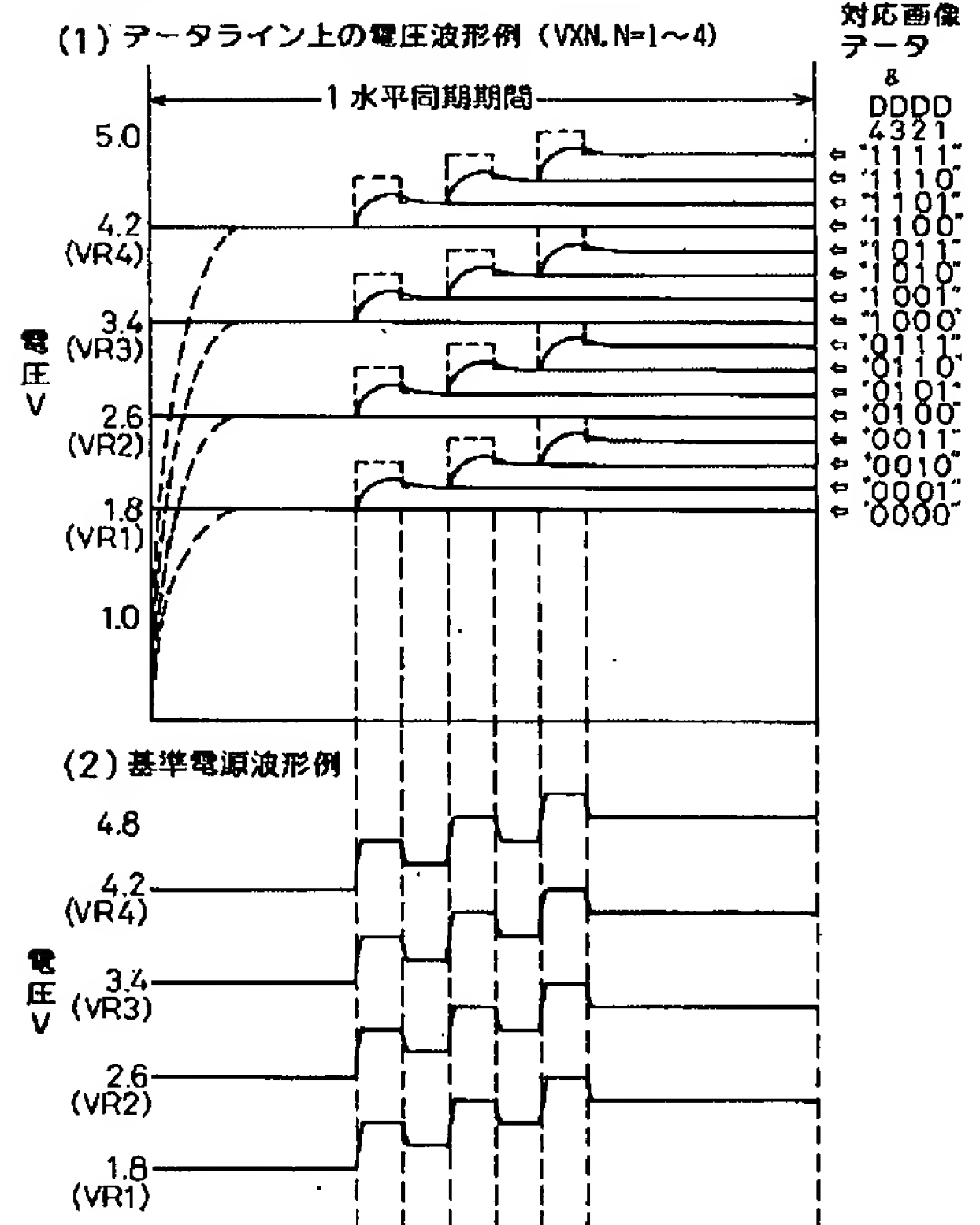


(2) 充電の波形例



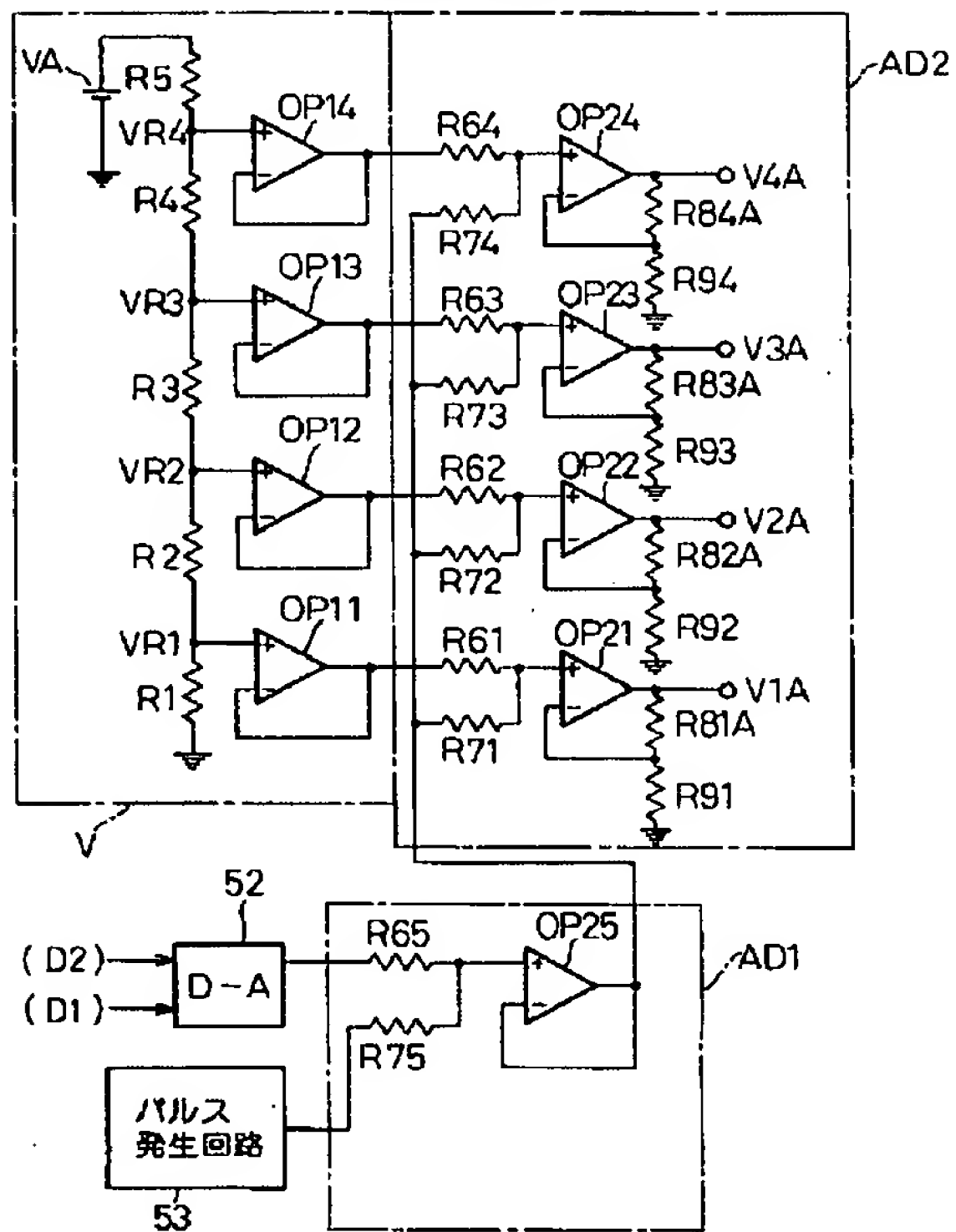
【図 6】

第 1 実施例におけるアータライン上の電圧波形例と基準電源波形例



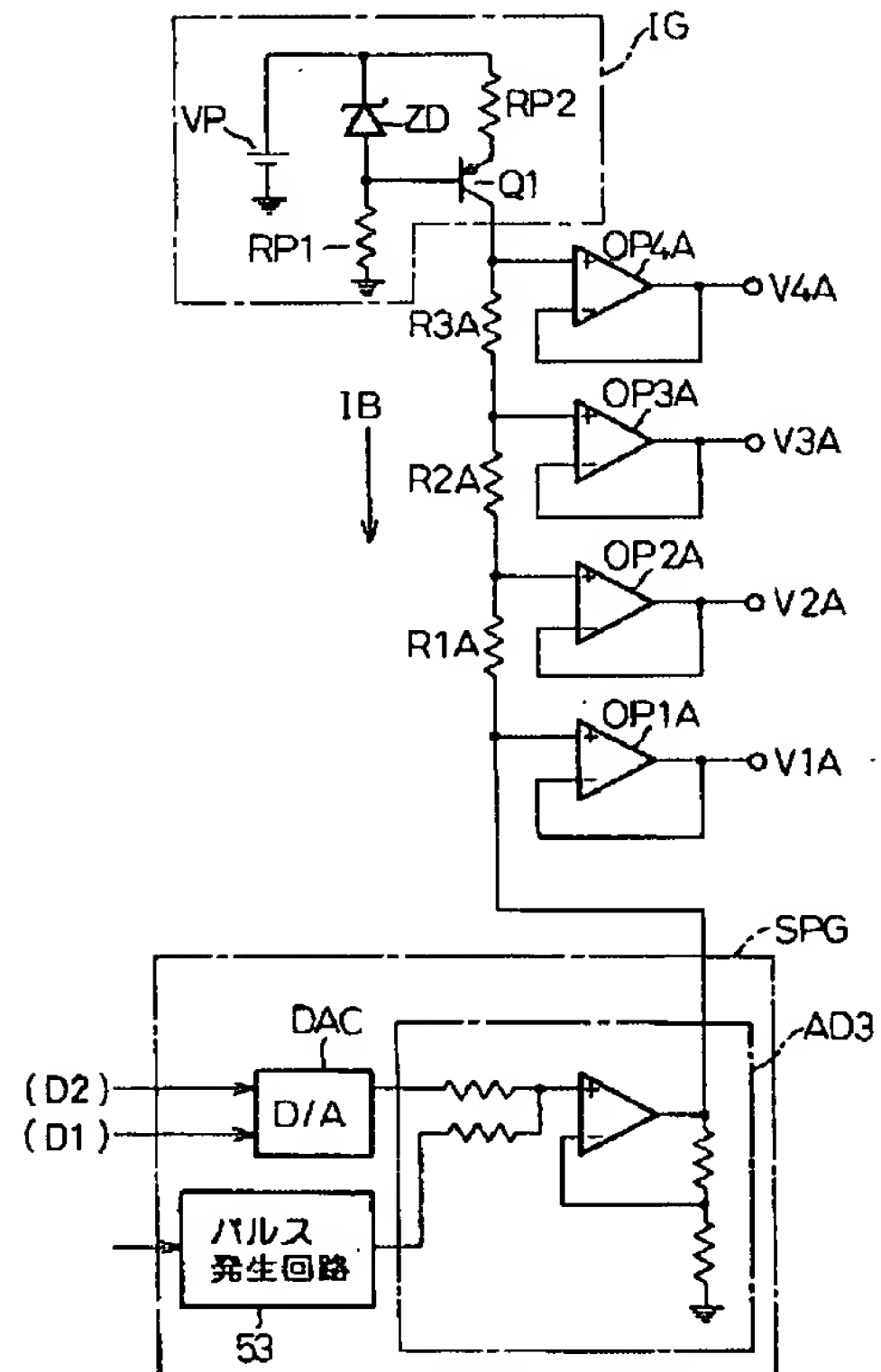
【図7】

基準電源の変形例(その1)



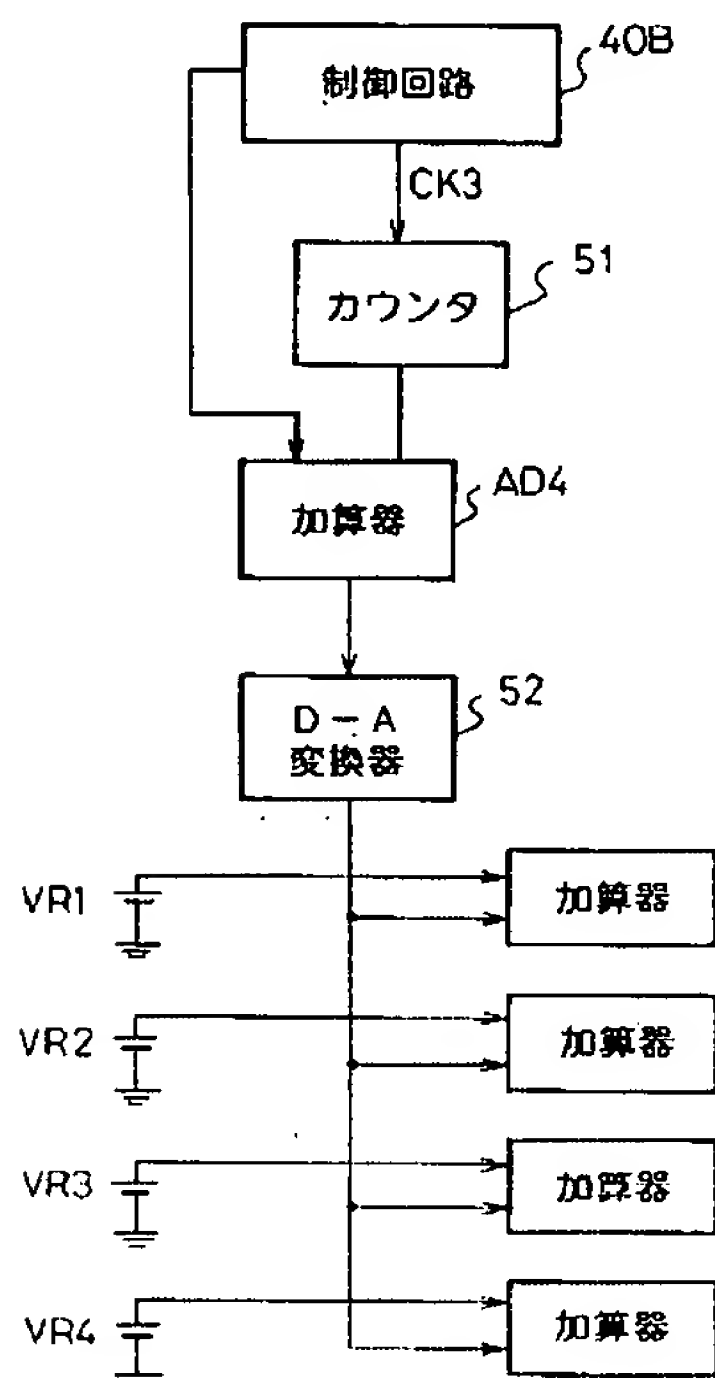
【図8】

基準電源の変形例(その2)



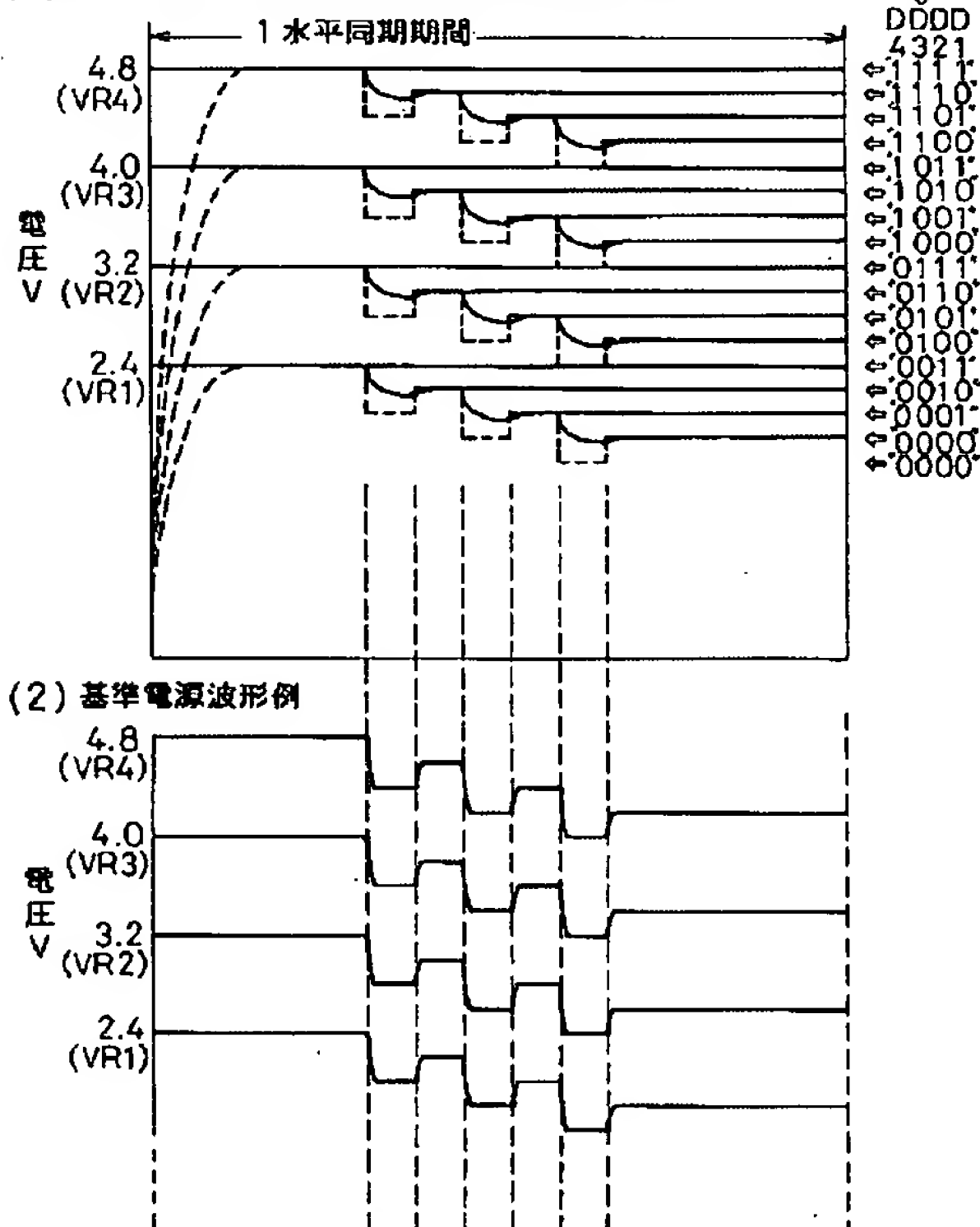
【図9】

基準電源の変形例(その3)



【 1 1】

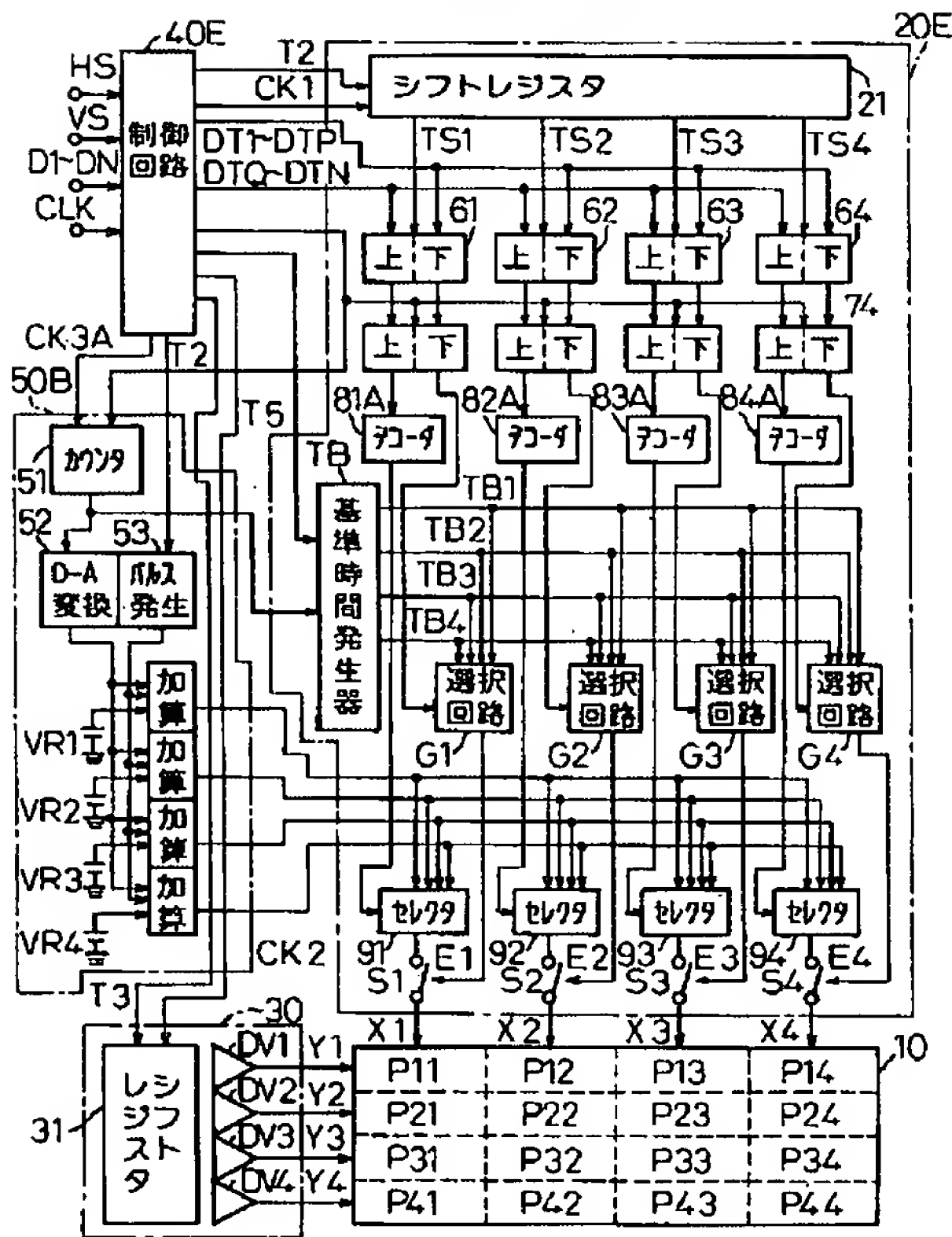
第2 実施例におけるアータライン上の電圧波形例と基準電源波形例  
対応画像





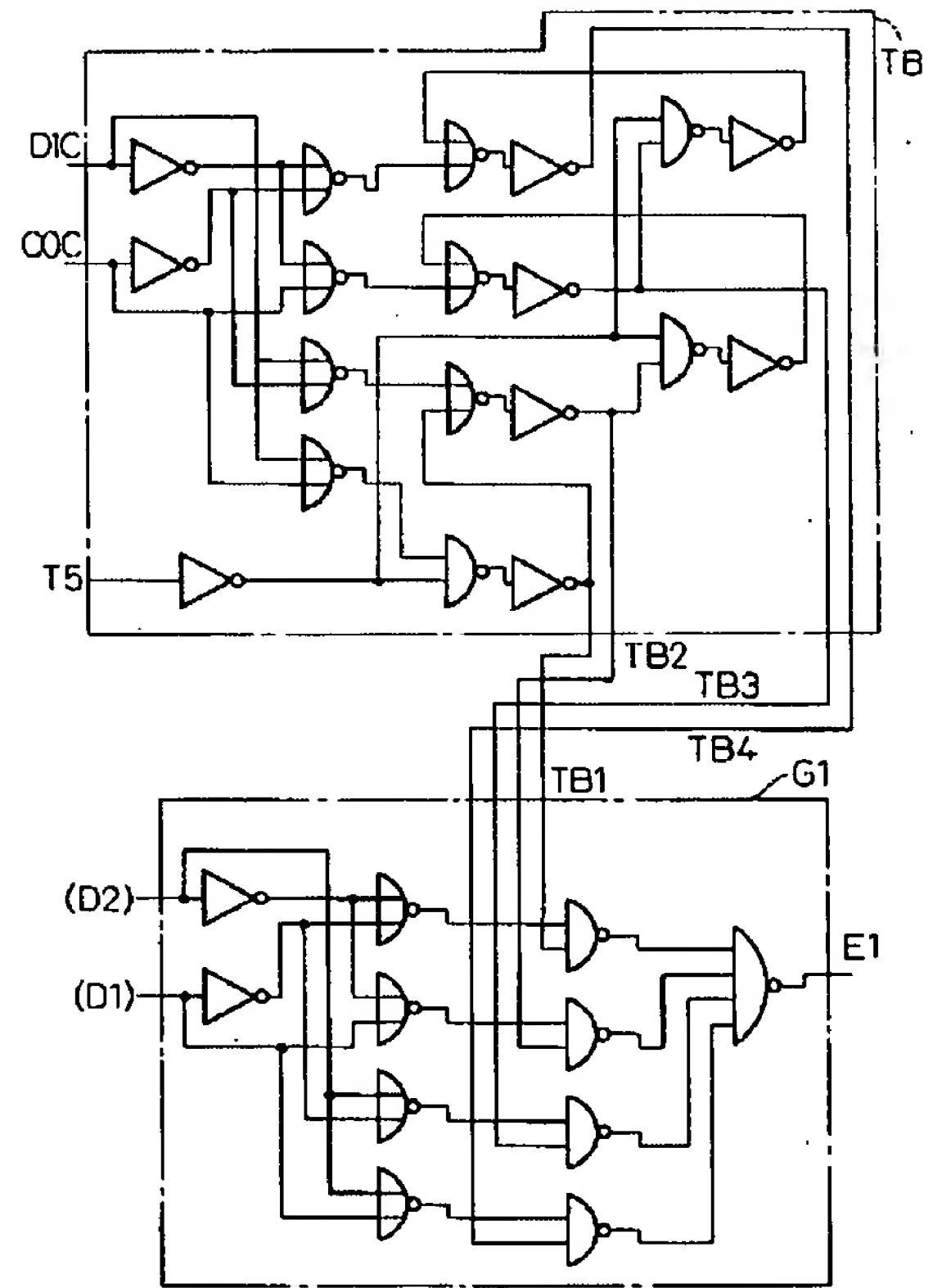
【図12】

第3実施例の全体構成



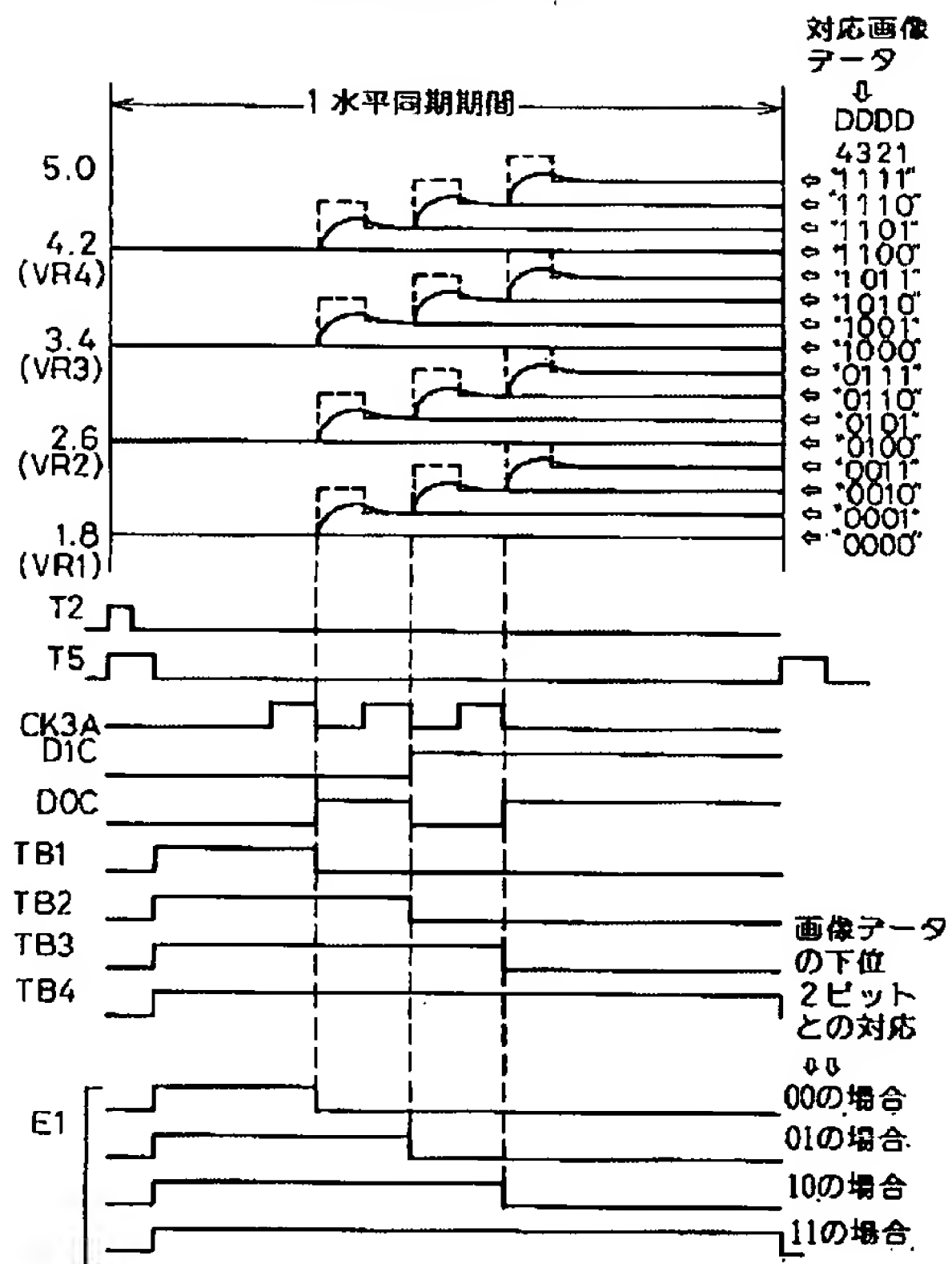
【図13】

第3実施例における基準時間発生器と選択回路



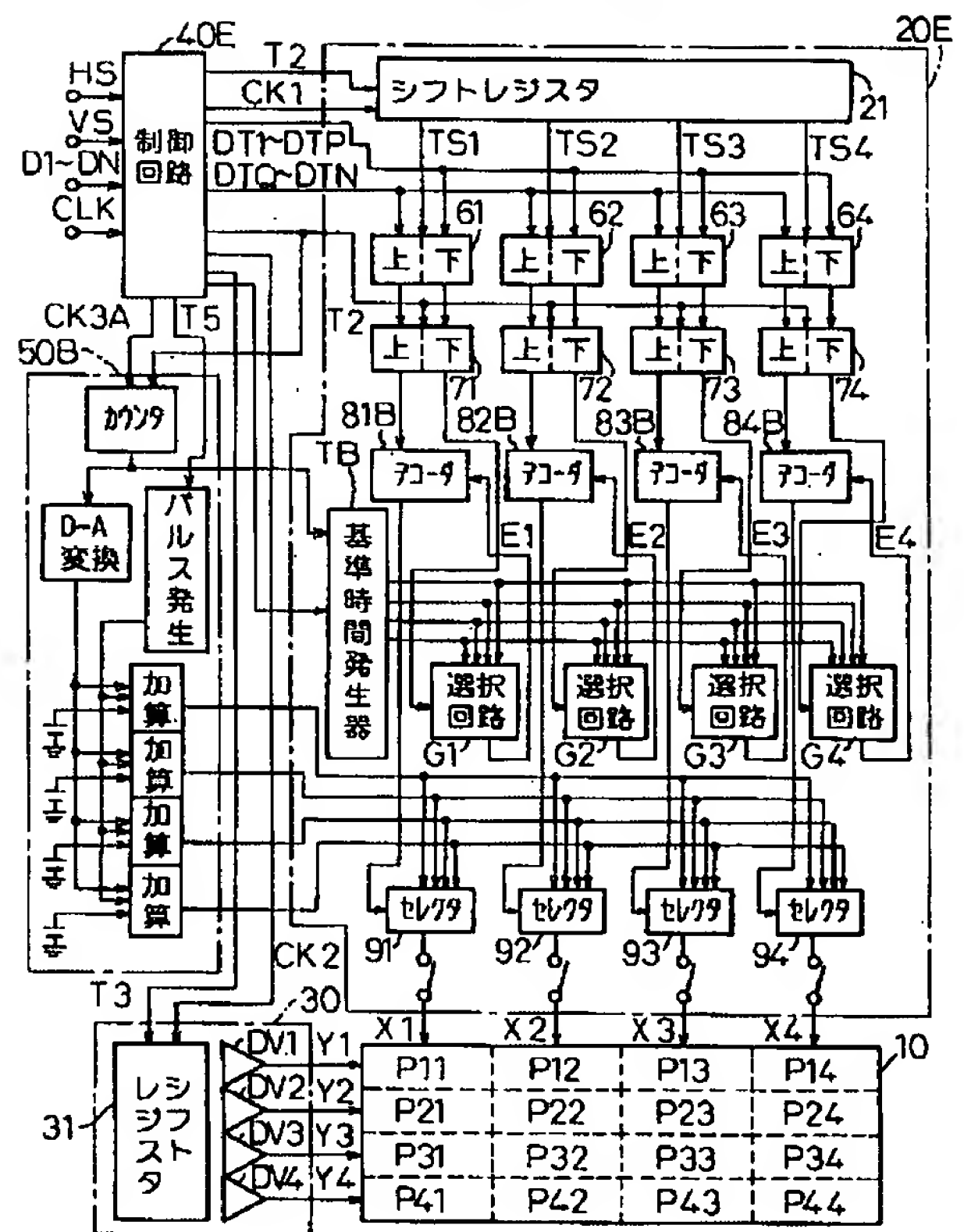
【図 14】

第 3 実施例のタイムチャート



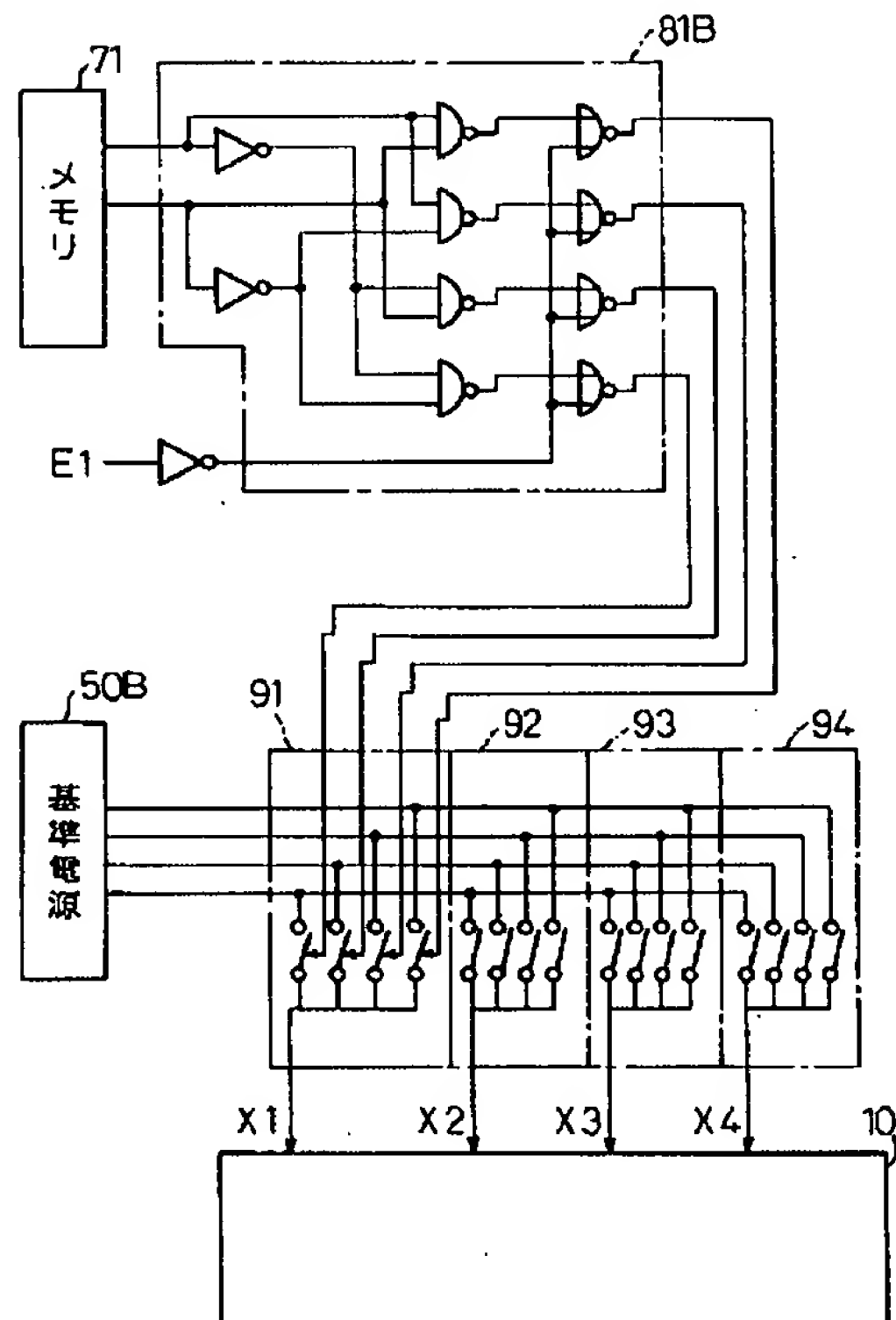
【図 15】

第 4 実施例の全体構成



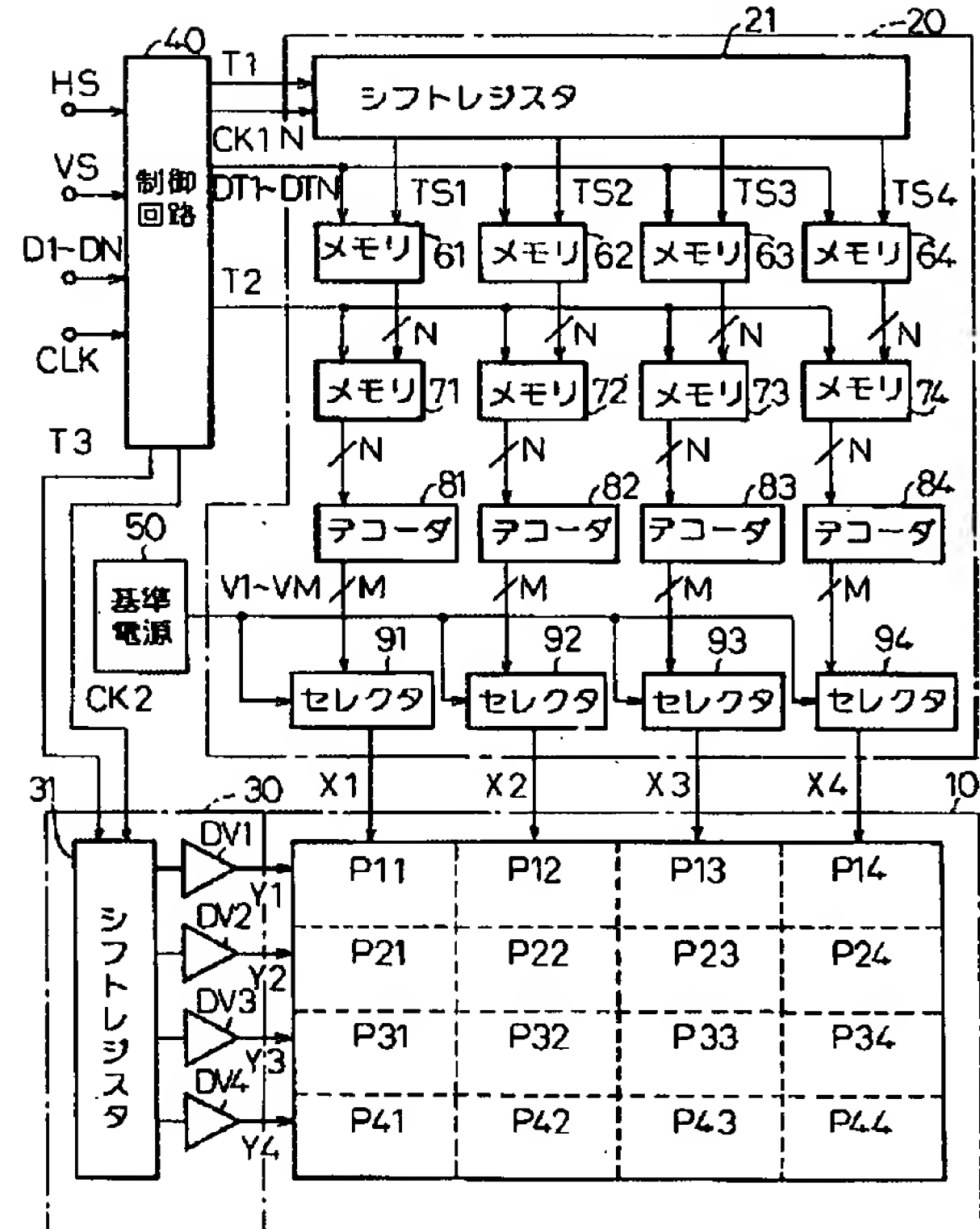
【図 16】

第 4 実施例におけるアコーダとセレクト



【図 17】

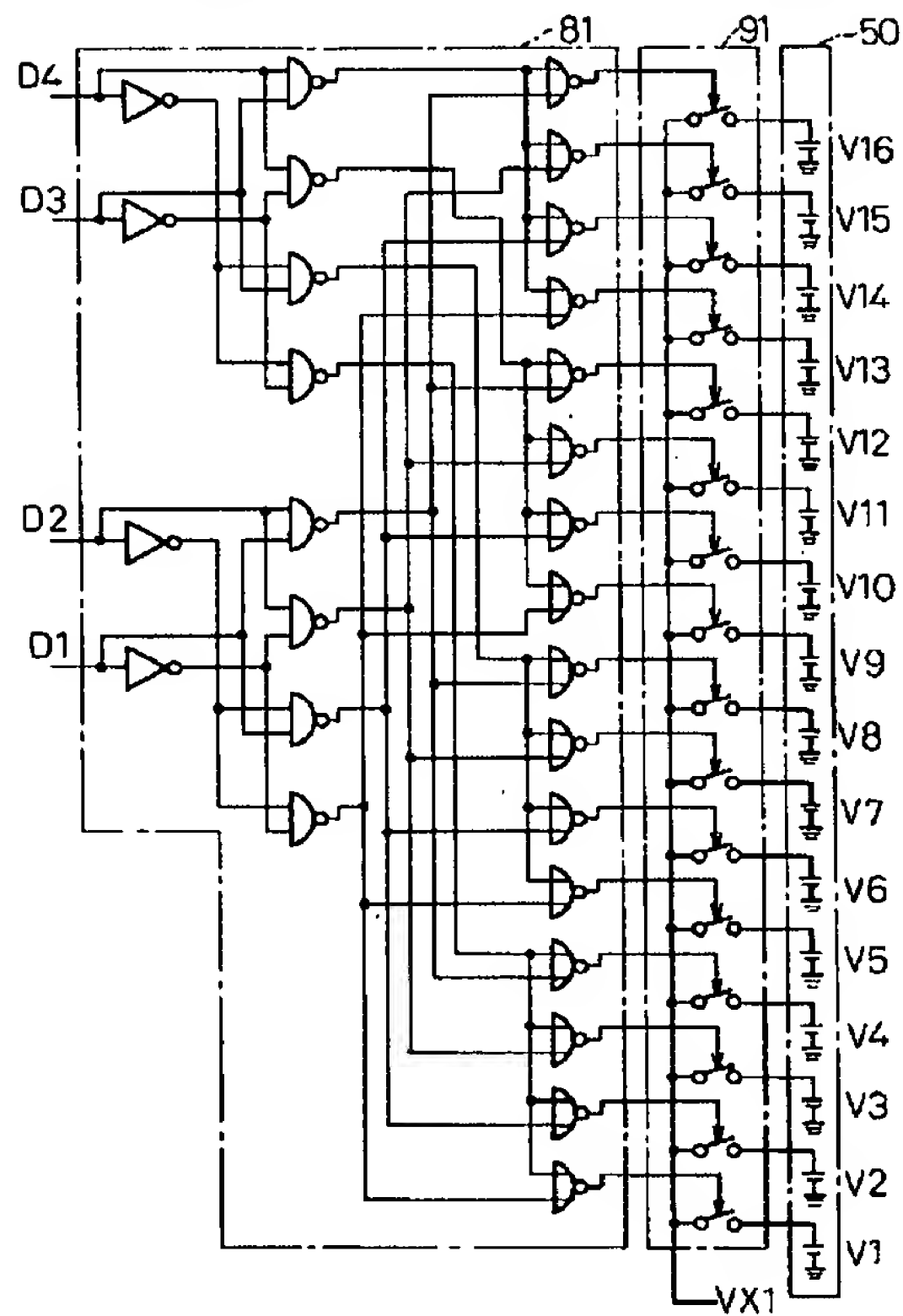
従来の液晶表示装置の全体構成





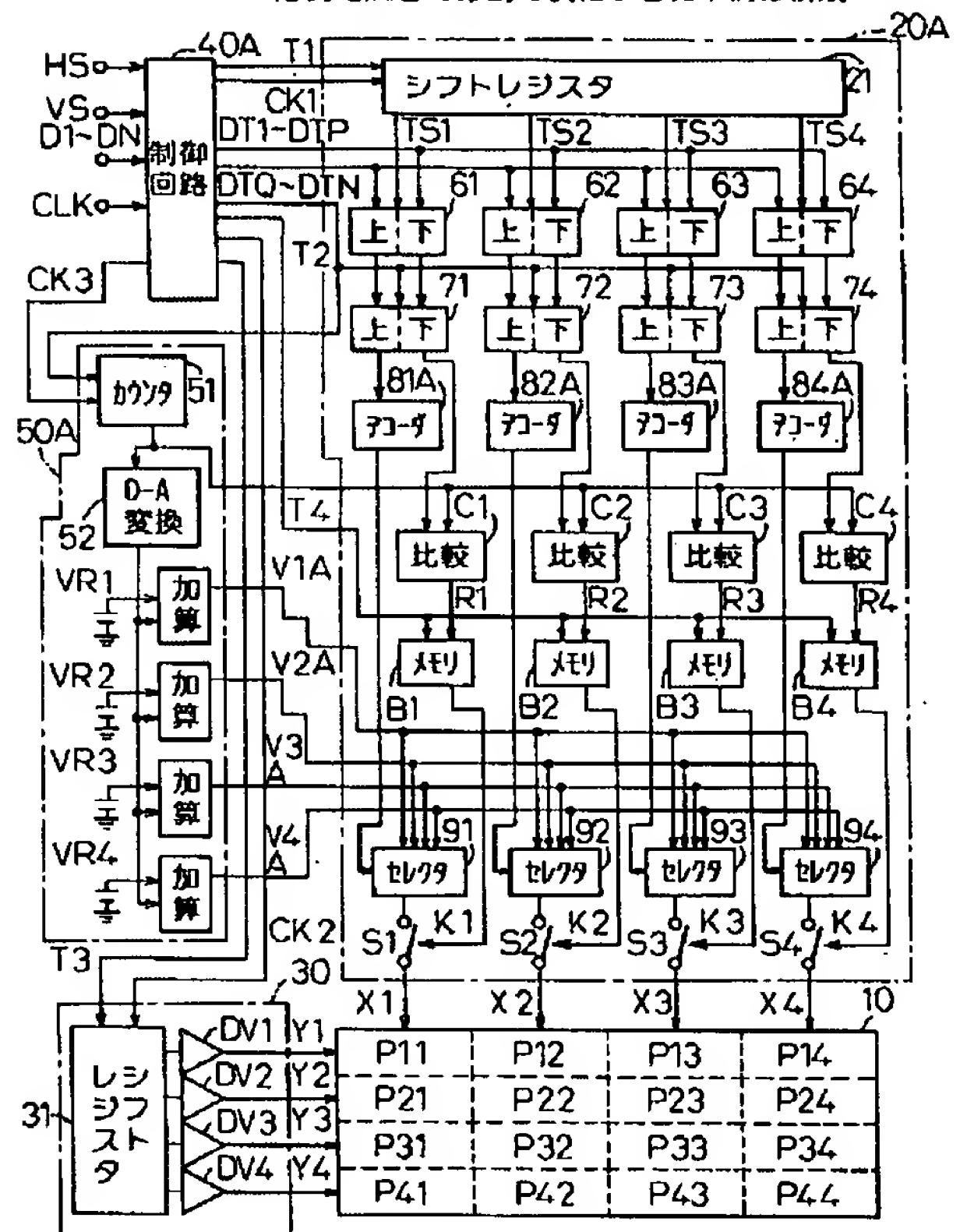
【図18】

従来の液晶表示装置のアコーダ・セレクトラ・基準電源



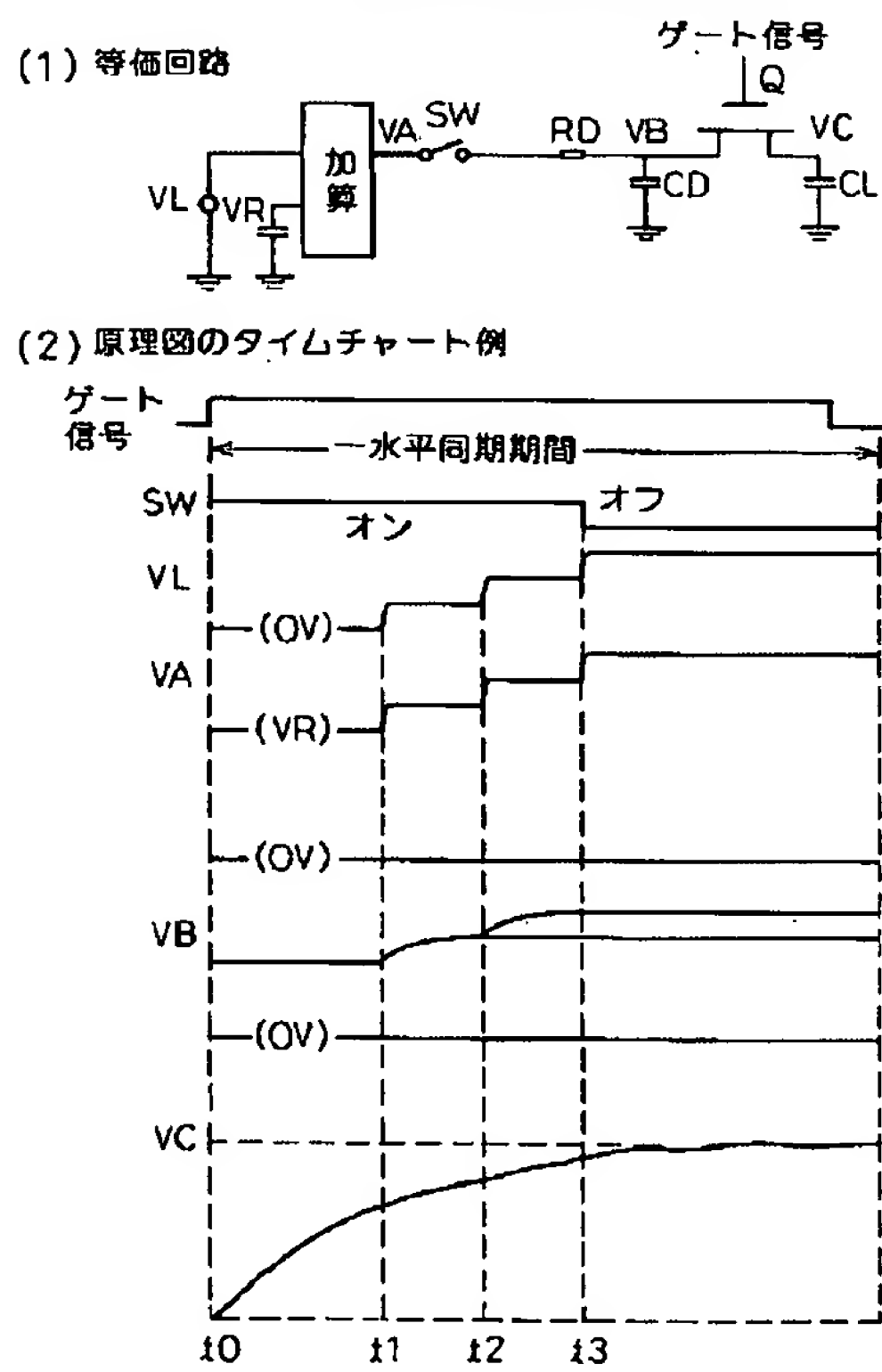
【図20】

階調電圧を時分割で供給する従来例の構成



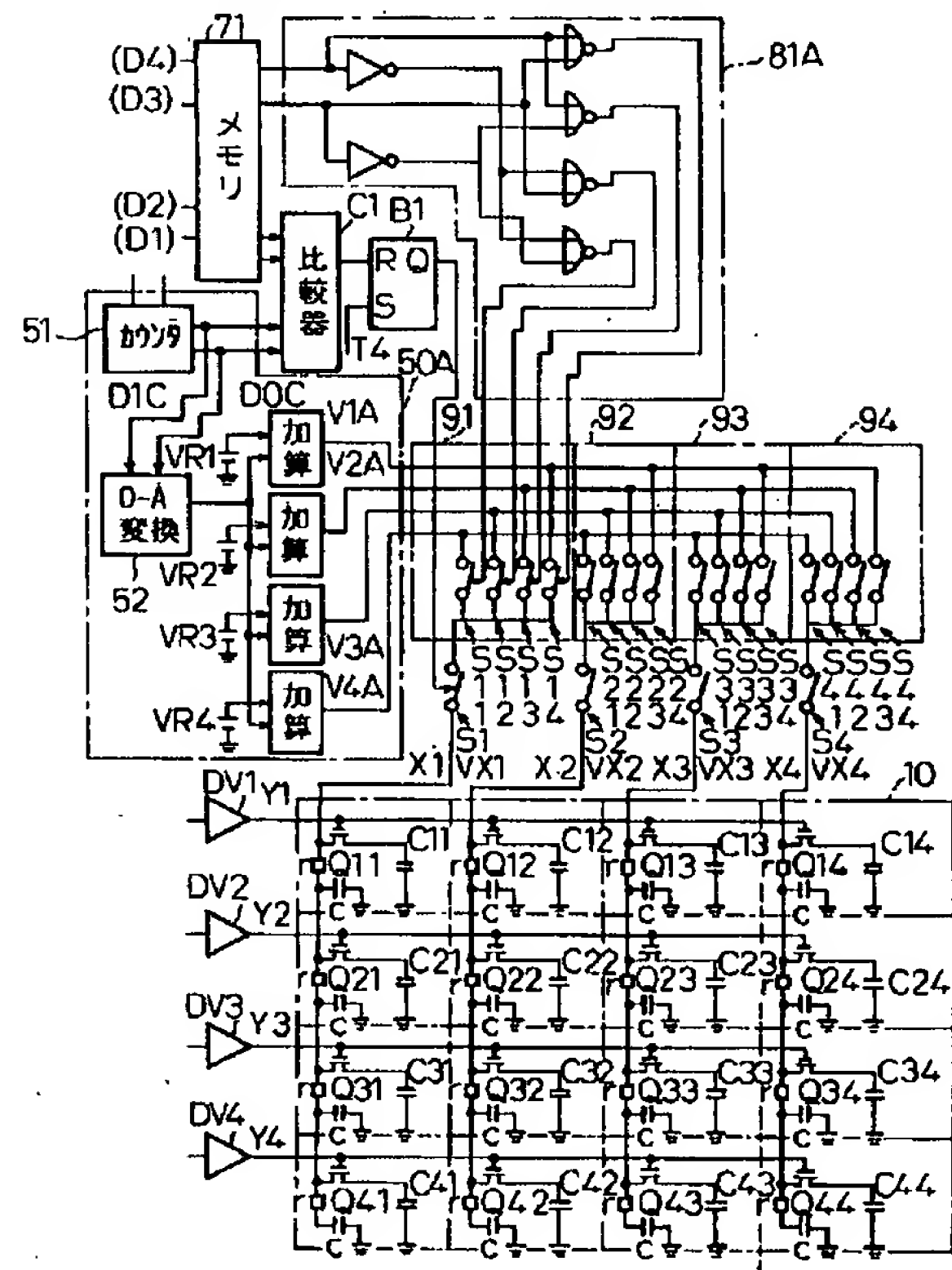
【図21】

図20の回路の動作原理説明図

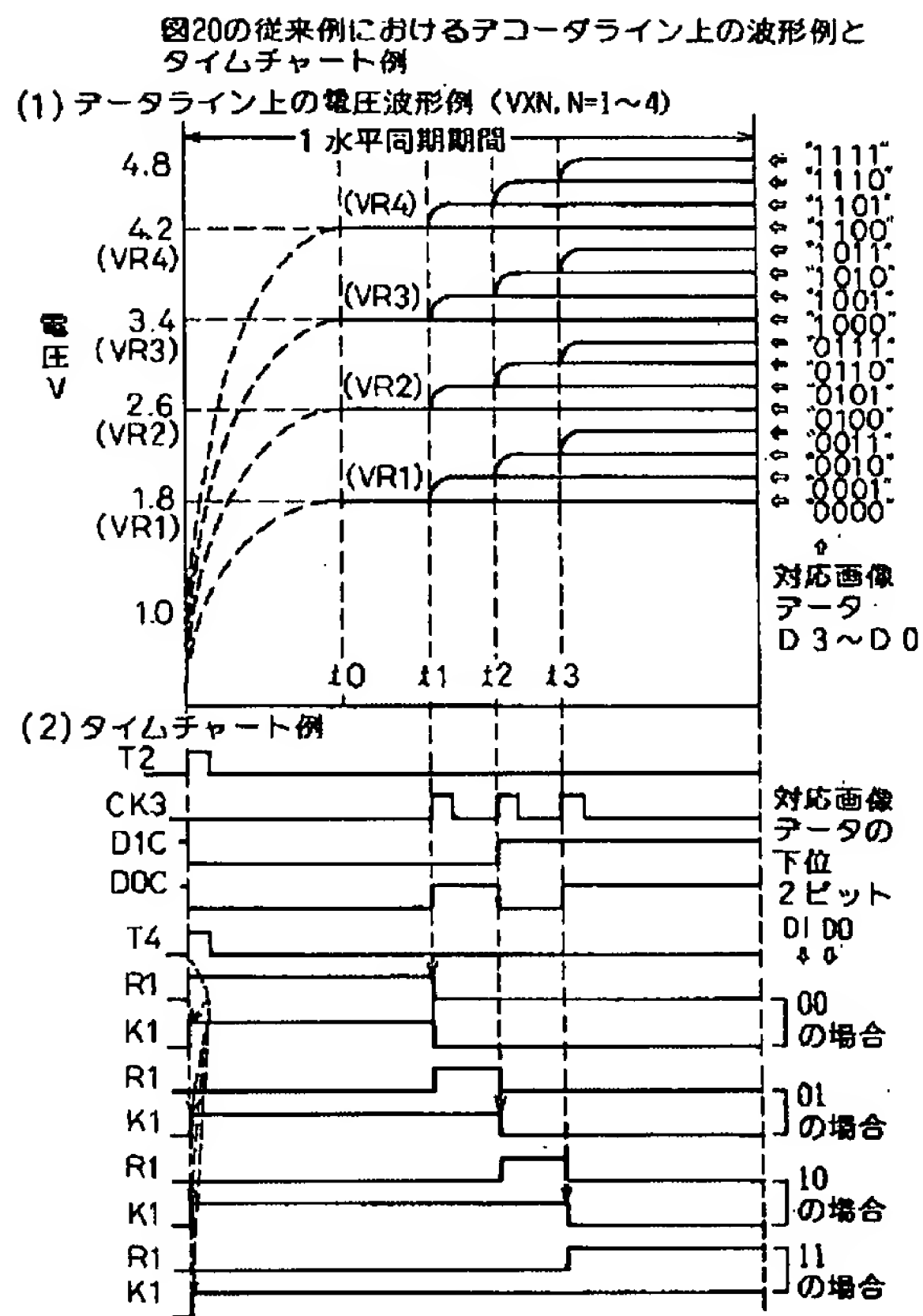


【図22】

図20のアコーダ・セレクタを詳細に示した図



【図23】



フロントページの続き

(72)発明者 磯貝 博之  
神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内